DOI: 10.13718/j. cnki. xdzk. 2022.08.018

# 锡铅银填充 TSV 的热应力仿真

韩志成<sup>1</sup>, 淦华<sup>2</sup>, 叶兰松<sup>3</sup>, 肖锦星<sup>2</sup>, 朱智源<sup>1</sup>, 张洪泽<sup>4</sup>, 郭靖<sup>1</sup>

西南大学 电子信息工程学院,重庆 400715; 2. 电子信息控制重点实验室,成都 610036;
 中国人民解放军 63850 部队,吉林 137000; 4. 南京电子器件研究所,南京 210008

摘要:为了降低三维集成微系统热应力,本文设计了一种基于锡铅银合金作为 TSV 的填充金属、LTCC 为基底的 TSV 芯片结构.基于此结构设计了4种不同 TSV 数量和分布的模型,模拟和分析 TSV 芯片在高温工作时,TSV 数量 和分布对 TSV 芯片热应力的影响.通过分析仿真结果,提出了降低 TSV 芯片热应力的设计建议.

关键 词: 硅通孔; 有限元; 热应力; 应变

中图分类号: TN405 文献标志码: A 文章编号: 1673-9868(2022)08-0168-08



开放科学(资源服务)标识码(OSID):

## Thermal-Mechanical Stress Modeling of SnPbAg Filled TSV

HAN Zhicheng<sup>1</sup>, GAN Hua<sup>2</sup>, YE Lansong<sup>3</sup>, XIAO Jinxing<sup>2</sup>, ZHU Zhiyuan<sup>1</sup>, ZHANG Hongze<sup>4</sup>, GUO Jing<sup>1</sup>

1. College of Electronic and Information Engineering, Southwest University, Chongqing 400715, China;

2. Science and Technology on Electronic Information Control Laboratory, Chengdu 610036, China;

3. No. 63850 Unit of PLA, Jilin 137000, China;

4. Nanjing Electronic Device Institute, Nanjing 210008, China

**Abstract**: In order to reduce the thermal stress of 3D integration, a TSV chip structure based on Sn-Pb-Ag alloy as filler metal and LTCC as substrate was designed. Based on this structure, four different models of TSV quantity and distribution were designed to simulate and analyze the influence of TSV quantity and distribution on the thermal stress of TSV chip at high temperature. Based on the analysis of the simulation results, a design proposal was proposed to reduce the thermal stress effect of TSV chip.

Key words: Though Silicon Via(TSV); finite element analysis; thermal-mechanical stress; thermal strain

收稿日期: 2021-01-04

基金项目:国家自然科学基金项目(62074132);国家自然科学基金青年科学基金项目(61804132).

作者简介:韩志成,硕士研究生,主要从事三维集成电路研究.

通信作者:郭靖,副教授.

TSV(Through Silicon Via, 硅通孔)是目前三维芯片封装中实现多层芯片垂直互连功能的关键技术<sup>[1-2]</sup>, TSV 是在不同的芯片间刻蚀垂直方向上互通的通孔,并向通孔中淀积金属来实现芯片间电学互 连<sup>[3-4]</sup>,和以前的封装技术不同, TSV 技术可以实现在垂直方向堆叠多层芯片,从而极大地提高芯片的堆 叠密度,大大缩小尺寸,并且可以极大地提高芯片的运行速度和降低功耗<sup>[5-6]</sup>.

随着微电子技术的不断发展,集成电路的集成度不断提高,封装技术也在朝着高集成度、三维封装方向发展<sup>[7]</sup>,其中 TSV 技术的三维封装是先进封装技术的前沿和热点之一,基于 TSV 技术的三维封装具有高集成度、高性能、低功耗等特点,但也存在着很多的挑战.由于封装系统内各种材料的热膨胀系数存在较大差异以及热传导系数各不相同,在焦耳热的影响下,会在封装系统内部产生热应力,这种热应力会引起芯片局部的断裂和芯片的翘曲<sup>[8]</sup>,由于引入 TSV 结构而引起的热应力、形变等问题是 TSV 技术最主要的挑战,而利用仿真软件模拟可以很好地帮助研究芯片的热应力和微加工问题<sup>[9-12]</sup>.

除了芯片层间连接可使用 TSV 技术,芯片与芯片基板之间也可以使用 TSV 技术进行连接. 在众多基 板材料中,低温共烧陶瓷(Low Temperature Co-fired Ceramic, LTCC)以其优异的封装性能和介电性能, 在无线通信设备中得到了广泛的应用<sup>[13-14]</sup>. LTCC 基板可以提高布线密度和信号传输速度,其热膨胀系数 可以做到和硅器件接近,对安装裸片硅器件非常有利,且可以内埋无源元件,形成立体高密度组件<sup>[15]</sup>.本 文研究的三维芯片采用的是以 LTCC 为基板,使用 TSV 技术实现芯片间及芯片与基板之间的互联,TSV 中的填充金属使用的是锡铅银合金.

本研究利用仿真软件对 TSV 芯片在高温工作下的热应力及应变进行了仿真分析,模拟应力与实测应 力之间的差异主要是受残余应力的影响<sup>[16]</sup>,通过对室温下残余应力测量值的补偿,模拟得到的径向和轴向 热应力与实测数据吻合较好,验证了模拟方法的有效性.通过设计 4 种不同 TSV 数量和分布的模型,对芯 片的热应力和应变进行仿真分析,对比仿真的结果,找出较为优化的参数设计.

### 1 结构设计

本文研究的三维芯片采用的是以 LTCC 为基板的三维堆叠芯片,并使用 TSV 技术实现芯片间及芯片 与基板之间的互联.

TSV 中填充金属使用的是 62.5Sn37Pb0.5Ag, 锡铅共晶或近共晶钎料熔点较低, 在对通孔进行填充时, 可以有效降低加工温度, 提高芯片的良品率.由于加工时温度相对较低, 也可以使芯片在堆叠后再进行填充, 使芯片间具有更好的连接性, 在锡铅合金中加入少量 Ag 可以提高锡铅合金的蠕变寿命.

器件结构如图 1 所示,器件是由 TSV 芯片、基板及底板构成,TSV 所构成的通孔贯穿芯片与基板, 并在通孔中填充金属材料.在这个模型中,TSV 芯片是正方体,其边长为 5 mm,芯片的厚度是 100 µm, 基板使用 LTCC,厚度为 100 µm,TSV 的直径为 250 µm.基板下的底板辅助模拟器件装载在电路板时 的散热.



#### 图1 器件结构

## 2 仿真设置

#### 2.1 模型设置

运用 COMSOL 传热中的热应力 研究模块对此器件的结构进行热应力 仿真,三维模型如图 2 所示.

仿真做如下设置:① 忽略 Ti/W 阻挡层和 Cu 种子层.② 忽略基板对 TSV 热应力及应变的影响.③ 芯片四 角设置了导角,降低计算误差.④ 忽



略了封装过程中的残余应力和应变.在实际情况中,对于封装体的不同区域与材料,其对应的零应力温度是不 相同的,为了简便起见,在建模仿真的过程中,将封装体的零应力温度设定为 25 ℃.

为了研究该模型下 TSV 在芯片不同位置的热应力以及不同分布及数量对 TSV 芯片热应力的影响,该 研究建立了 4 种模型进行对比分析. 第一种模型: TSV 芯片内均匀分布 6×6 个通孔,通孔与通孔之间的 距离及通孔至芯片外侧的距离相等. 第二种模型: TSV 芯片内均匀分布 4×4 个通孔,其分布方式也为均 匀分布. 通过对第一、二种模型进行对比分析,研究通孔在均匀分布下,通孔的数量及孔间距离对 TSV 芯 片热应力的影响. 第三种模型: TSV 芯片内分布 4×4 个通孔,通孔分布在芯片中心,通孔与芯片外侧距离 较大,通孔之间的距离与第一种模型相等,主要研究分布在芯片中心的通孔对 TSV 芯片的热应力的影响. 第四种模型: TSV 芯片有 20 个通孔,通孔之间的距离与第一种模型相等,均匀分布在芯片外侧,主要研究 分布在芯片外侧的通孔对 TSV 芯片的热应力的影响.

#### 2.2 材料属性定义

TSV 芯片使用单晶硅, 其热膨胀系数为 2.6×10<sup>-6</sup> K<sup>-1</sup>, 恒压热容为 700 J/(kg•K), 密度为 2 329 kg/m<sup>3</sup>, 杨氏模量为 170 GPa, 泊松比为 0.28.

单晶硅的导热系数较高为131 W/(m•K),但在实际使用时,芯片的散热不只是受单晶硅的导热系数 影响,散热也会受到单晶硅外的二氧化硅绝缘层及外部封装影响,所以在计算时,将芯片的导热系数设为 1.38 W/(m•K).

基板使用 LTCC, 其热膨胀系数为 7×10<sup>-6</sup> K<sup>-1</sup>, 恒压热容为 900 J/(kg・K), 密度为 2.5 kg/m<sup>3</sup>, 导 热系数为 2 W/(m・K), 杨氏模量为 85 GPa, 泊松比为 0.28.

填充金属使用 62.5Sn37Pb0.5Ag, 锡铅银合金在不同温度时, 其材料属性也会有变化, 在 20 ℃时. 热膨胀系数为 2.4×10<sup>-5</sup> K<sup>-1</sup>, 恒压热容为 188 J/(kg•K), 密度为 8 400 kg/m<sup>3</sup>, 导热系数为 50 W/(m•K), 杨氏模量为 42.1 GPa, 泊松比为 0.4.

#### 2.3 网格划分

为了提高运算速率,设置最大单元格为 0.18,曲率因子为 0.2,最大单元增长率为 1.3. 而在部分 TSV 设置的最大单元格为 0.08,曲率因子为 0.1,以得到更多的计算结果数据而方便分析,网格划分如图 3.

#### 2.4 数值计算方法

为了获得 TSV 稳态下的热应力,需对三维仿真模型中的热传导方程及热应力方程进行联立求解<sup>[17]</sup>, 在此三维仿真模型中,热传导稳态求解方程为

$$\nabla \cdot (-k \nabla T) = Q \tag{1}$$

模型与外部环境采用对流热通量进行计算,方程为

$$q_0 = -h \cdot (T - T_{ext}) \tag{2}$$

其中 h 是导热系数, T<sub>axt</sub> 是外部环境温度.

在此模型中,芯片模拟为均匀发热,热源直接由 热耗率计算热通量:

$$Q = \frac{P_0}{V} \tag{3}$$

其中V为芯片体积,P。为热损耗功率.

根据 Hook 定律, 此模型稳态时热应力方程为

$$\begin{cases} f + \nabla \cdot \boldsymbol{\sigma} = 0 \\ \boldsymbol{\sigma} = \boldsymbol{C} : (\boldsymbol{\varepsilon} - \boldsymbol{\varepsilon}^{\mathrm{Th}}) \\ \boldsymbol{\varepsilon}^{\mathrm{Th}} = \boldsymbol{\alpha}(T)(T - T_{\mathrm{ref}}) \\ \boldsymbol{\varepsilon} = \frac{1}{2} [(\nabla \boldsymbol{u})^{\mathrm{T}} + \nabla \boldsymbol{u}] \end{cases}$$
(4)



图 3 网格划分

其中 f 为体积力,  $\sigma$  是热应力张量, ε 是总应变, ε<sup>Th</sup> 是热应变, u 为位移, C 为单元刚度矩阵.  $\alpha(T) =$  $\Sigma_{n=0}^{4} a_n T^n$  是随温度变化的热膨胀系数,  $a_n$  通过曲线拟合可以得到<sup>[18]</sup>,  $T_{ref}$  为体积参考温度. 在本研究中 不考虑材料的塑形形变<sup>[19]</sup>,通过 Neumann 边界条件和 Dirichlet 边界条件,利用共轭梯度法和逐单元近似 分解法求解耦合温度场和热应力场,在COMSOL 多物理场仿真中也包含计算方法,可以直接调用软件中 内部算法配置进行仿真计算.

#### 仿真结果 3

运用 COMSOL 传热中的热应力研究模块对设计的结构进行热应力仿真,使用稳态分析. TSV 芯片的 等温线分布如图 4 所示,可以看出热源区域最高温度为 82 ℃,芯片边缘温度为 79 ℃,芯片中间区域的温 度最高,从芯片中心到外围温度逐渐降低,形成这样的温度分布的原因是由于硅外层覆盖的绝缘层和封装 的导热系数相对较低,芯片越靠近外侧,表面积与体积的比值越大,芯片外侧能够更好的散热,因此,若考 虑热辐射计算,温度分布将更明显.

设置形变放大倍数 100 倍,芯片的应力分布如图 5 所示.从芯片的应力分布图可以看出,每个 TSV 的 最大应力分布位置都相同,应力主要分布在 TSV 的外侧,应力分布与 TSV 的位置相关性不大,但是越靠 近芯片内侧的通孔,最大应力会有所减小.

填充金属的形变放大 400 倍后的俯视图如图 6 所示. 从图中可以看出,填充金属的形变位移方向是从 芯片中心向外,形成这样的位移方向主要是受到芯片热膨胀形变的影响,芯片热膨胀导致了形变位移的累 计, 越靠近芯片外侧累积的形变位移越大, 因此填充金属越靠近芯片外侧, 会受到芯片更大的形变影响. 从图 5 可以看出,由于芯片变形的累积影响,导致越靠近芯片外侧的 TSV 的应力也会越大.

观察其中一种模型的通孔,填充金属表面的应力分布如图7所示,TSV的最大应力主要分布在通孔上 侧, 通孔内部受到应力相对均匀, 单晶硅与 LTCC 基板的交界处有明显的应力变化, 但变化值不大,





图 4 等温线分布



图 5 热应力分布



图 6 金属形变放大图



图 7 填充金属表面的应力分布

再观察其中一个模型的通孔,将形变放大 200倍,形变与应力分布截面图如图 8 所示.由 于锡铅银合金的热膨胀系数相较于单晶硅和 LTCC 基板较大,芯片在受热后,TSV 内的通 孔无法容纳锡铅银合金的体积,锡铅银合金通 过通孔向外挤出,导致 TSV 外侧受到较大的应 力.由于 LTCC 基板与单晶硅的膨胀系数接 近,因此在 LTCC 与单晶硅的交界处没有明显 的应力分布.

在第一个模型上,分别取芯片对角线上最 外侧孔 2 与其向内的一个通孔 1 在 TSV 芯片 与基板交界处的位移如图 9 所示.在单晶硅与 切面: von Mises 应力 (MPa) MPa 367 300 250 200 150 100 50 0 0

http://xbbjb. swu. edu. cn



LTCC 基板的交界处,形变位移的方向相同,且靠近芯片外侧的通孔 2 具有更大的形变位移,说明越靠近芯片外侧的通孔,其形变越大.



图 9 填充金属在 TSV 芯片与基板交界处的位移

### 4 结果与讨论

从实验仿真中可以看出,由于 LTCC 与单晶硅结晶的热膨胀系数相近,以 LTCC 作为 TSV 芯片基板,芯片在高温工作时,TSV 在单晶硅与 LTCC 的交界处不会产生较大形变差异.TSV 芯片所受应力主要集中在 TSV 外侧,其主要原因是由于填充金属受热膨胀影响被挤出通孔,造成 TSV 外侧受到挤压.设计TSV 时需要考虑使用其他材料或工艺强化通孔外侧的强度,或在单晶硅与通孔之间设置一层柔性材料,使填充金属在形变后不会产生太大的应力.

对 4 种仿真模型的热应力分布进行对比分析可以得出, TSV 的分布对 TSV 芯片的应变影响较大, 其 主要原因是由于芯片形变位移的累计效应. TSV 的分布越靠近芯片内侧, 其表面应力则会越小, 且 TSV 芯片与 LTCC 基板之间的相对位移也小, 在设计 TSV 位置时, 可以尽可能将 TSV 设置在芯片中心, 以降 低由于芯片与基板之间的位移造成填充金属的断裂失效.

#### 参考文献:

- [1] CHAI T C, ZHANG X, LAU J H, et al. Development of Large Die Fine-Pitch Cu/Low- FCBGA Package with Through Silicon via (TSV) Interposer [J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2011, 1(5): 660-672.
- [2] LI J , LIU L G, MA B K, et al. Dynamics Features of Cu-Wire Bonding during Overhang Bonding Process [J]. IEEE Electron Device Letters, 2011, 32(12): 1731-1733.
- [3] LEFEBVRE M, ALLARDYCE G, SEITA M, et al. Copper Electroplating Technology for Microvia Filling. 2003, 29(2): 9-14.
- [4] KOBAYASHI T, KAWASAKI J, MIHARA K, et al. Via-Filling Using Electroplating for Build-up PCBs [J]. ElectrochimicaActa, 2001.
- [5] LU K H, RYU S K, ZHAO Q, et al. Thermal Stress Induced Delamination of Through Silicon Vias in 3-D Interconnects [C] //2010 Proceedings 60th Electronic Components and Technology Conference (ECTC). June 1-4, 2010, Las Vegas, NV, USA. IEEE, 2010: 40-45.
- [6] YOON S W, KU J H, SUTHIWONGSUNTHORN N, et al. Fabrication and Packaging of Microbump Interconnections for 3D TSV [C] //2009 IEEE International Conference on 3D System Integration. September 28-30, 2009, San Francisco, CA, USA. IEEE, 2009: 1-5.
- [7] LAU J H. Evolution and Outlook of TSV and 3D IC/Si Integration [C] //2010 12th Electronics Packaging Technology Conference. December 8-10, 2010, Singapore. IEEE, 2010: 560-570.
- [8] KANG W, ZHANG M, ZHU Y, et al. A Stress Relief Method for Copper Filled Through Silicon Via with Parylene on Sidewall [C] // 2010 11th International Conference on Electronic Packaging Technology & High Density Packaging. August 16-19, Xi'an. IEEE, 2010: 98-101.
- [9] PAN Y, LI F, HE H, et al. Effects of Dimension Parameters and Defect on TSV Thermal Behavior for 3D IC Packaging
  [J]. Microelectronics Reliability, 2017, 70: 97-102.
- [10] BULLETIN M. Through-Silicon Via Stress Characteristics and Reliability Impact on 3D Integrated Circuits-Related Articles [J]. MRS Bulletin, 2015, 40(3): 248-256.
- [11] 陈孟钢,石亚伟,谭向兵,等. PCB中两种拓扑结构的串扰分析与优化模型 [J].西南大学学报(自然科学版),2007, 29(9):143-146.
- [12] 顾雯雯. 介电电泳细胞分析芯片结构设计及实验研究 [J]. 西南大学学报(自然科学版), 2015, 37(4): 158-163.
- [13] SEBASTIAN M T, JANTUNEN H. Low Loss Dielectric Materials for LTCC Applications: a Review [J]. International Materials Reviews, 2008, 53(2): 57-90.
- [14] WANG F L, CHEN X Y, ZHANG W J, et al. Synthesis and Characterization of Borosilicate Glass/Beta-Spodumene/ Al<sub>2</sub>O<sub>3</sub> Composites with Low CTE Value for LTCC Applications [J]. Journal of Materials Science: Materials in Electronics, 2018, 29(11): 9038-9044.
- [15] 侯旎璐,汪洋,刘清超. LTCC 技术简介及其发展现状 [J]. 电子产品可靠性与环境试验, 2017, 35(1): 50-55.
- [16] RABIE M A, PREMACHANDRAN C S, RANJAN R, et al. Novel Stress-Free Keep Out Zone Process Development for Via Middle TSV in 20 nm Planar CMOS Technology [C] //IEEE International Interconnect Technology Conference. May 20-23, 2014, San Jose, CA, USA. IEEE, 2014: 203-206.
- [17] SHI Y B, YIN W Y, MAO J F, et al. Transient Electrothermal Analysis of Multilevel Interconnects in the Presence of ESD Pulses Using the Nonlinear Time-Domain Finite-Element Method [J]. IEEE Transactions on Electromagnetic Compatibility, 2009, 51(3): 774-783.
- [18] WANG X P, YIN W Y, HE S L. Multiphysics Characterization of Transient Electrothermomechanical Responses of Through-Silicon Vias Applied with a Periodic Voltage Pulse [J]. IEEE Transactions on Electron Devices, 2010, 57(6): 1382-1389.
- [19] KONG F Z, YIN W Y, MAO J F, et al. Electro-Thermo-Mechanical Characterizations of Various Wire Bonding Interconnects Illuminated by an Electromagnetic Pulse [J]. IEEE Transactions on Advanced Packaging, 2010, 33(3): 729-737.

#### 责任编辑 汤振金