

DOI:10.13718/j.cnki.xsxb.2023.02.001

面向神经形态系统的忆阻逻辑电路综述与展望^①

王佳阳^{1,2,3}, 董哲康^{1,2,3}, 纪晓悦², 胡小方⁴, 周广东⁴, 齐冬莲^{1,2,5}

1. 杭州电子科技大学 电子信息学院, 杭州 310018; 2. 浙江大学 电气工程学院, 杭州 310027;

3. 浙江省装备电子重点实验室, 杭州 310018; 4. 西南大学 人工智能学院, 重庆 400715;

5. 海南浙江大学研究院, 海南 三亚 572025

摘要: 神经形态系统泛指受脑启发、使用非冯诺依曼结构体系的新型信息处理系统, 由于其高度的并行计算能力、极低的功耗和存算一体的特征, 逐渐成为了人工智能领域的研究热点之一. 其中, 逻辑电路是神经形态计算硬件实现的基本计算单元, 对于构建新型神经形态系统具有重要的意义. 现有的应用于神经形态系统的逻辑电路大多由二极管、三极管等传统元器件或集成芯片组成, 在尺寸、性能方面存在限制. 具有纳米尺寸、电阻可变且非易失、耗能低等特性的忆阻器为构建面向神经形态系统中的逻辑电路提供了新的思路. 基于此, 本文对近年来的忆阻逻辑电路进行了详细的梳理和分析, 基于电路中输入输出逻辑状态变量的不同, 将其大致分为输入输出变量均为电阻(R-R 型)电路、输入输出状态变量均为电压(V-V 型)电路、输入输出状态变量为阻值和电压的组合(R-V 型/V-R 型)电路 3 类. 同时, 从组成部分、计算方式、逻辑状态变量、外围电路的复杂度、能量损耗、级联能力、延时性 7 个方面对 3 类忆阻逻辑电路进行全面的对比和分析, 总结不同电路拓扑结构的忆阻逻辑电路的优缺点. 进一步, 整理分析了现有忆阻逻辑电路在联想记忆、情感计算、模式识别等领域的潜在应用. 针对忆阻逻辑电路在操作复杂性和物理实现方面的缺陷, 本文展望了忆阻逻辑电路的发展方向. 最后, 本文对忆阻逻辑电路及其在神经形态系统中的应用进行总结.

关键词: 神经形态系统; 忆阻器; 逻辑电路; 人工智能

中图分类号: TP183; TN60

文献标志码: A

文章编号: 1000-5471(2023)02-0001-22

A Review and Perspectives on Memristor Logic Circuits for Neuromorphic Systems

WANG Jiayang^{1,2,3}, DONG Zhekang^{1,2,3}, JI Xiaoyue²,
HU Xiaofang⁴, ZHOU Guangdong⁴, QI Donglian^{1,2,5}

1. School of Electronic Information, Hangzhou University of Electronic Science and Technology, Hangzhou 310018, China;

2. School of Electrical Engineering, Zhejiang University, Hangzhou 310027, China;

3. Key Laboratory of Equipment Electronics, Zhejiang Province, Hangzhou 310018, China;

4. School of Artificial Intelligence, Southwest University, Chongqing 400715, China;

5. Hainan Institute of Zhejiang University, Sanya Hainan 572025, China

Abstract: Neuromorphic system refers to a new type of information processing system inspired by brain

① 收稿日期: 2022-01-23

基金项目: 国家自然科学基金项目(62001149); 浙江省自然科学基金项目(LQ21F010009).

作者简介: 王佳阳, 硕士研究生, 主要从事神经形态系统、非线性电路研究.

通信作者: 齐冬莲, 教授, 博导.

and using non-Von Neumann structure system, which gradually becomes one of the research hotspots in the field of artificial intelligence due to its high parallel computing capability, extremely low power consumption and the characteristics of storage and computation integration. Among them, logic circuits are the basic computational units for neuromorphic computing hardware implementation, which are of great significance for building new neuromorphic systems. Most of the existing logic circuits for neuromorphic systems are composed of traditional components such as diodes and transistors or integrated chips, which have limitations in terms of size and performance. Memristors with nanometer size, variable and non-volatile resistance, and low energy consumption provide a new idea for building logic circuits for neuromorphic systems. Based on this, this paper presents a detailed review and analysis of recent memristor logic circuits, which are broadly classified into three categories based on the difference of input and output logic state variables in the circuits: circuits with both input and output variables as resistance (R-R type), circuits with both input and output state variables as voltage (V-V type), and circuits with a combination of resistance and voltage (R-V type/ V-R type) as input and output state variables. The advantages and disadvantages of different circuit topologies of memristor logic circuits are summarized by comparing and analyzing the three types of memristor logic circuits in seven aspects: components, calculation methods, logic state variables, complexity of peripheral circuits, energy loss, cascading capability, and delay. Further, the potential applications of existing memristor logic circuits in the fields of associative memory, emotional computing, and pattern recognition are compiled and analyzed. In view of the shortcomings in operational complexity and physical implementation of memristor logic circuits, this paper foresees the development direction of memristor logic circuits. Finally, the paper concludes with a summary of the memristor logic circuits and their applications in neuromorphic systems.

Key words: neuromorphic systems; memristors; logic circuits; artificial intelligence

目前大部分现代智能计算系统都是基于冯诺依曼架构^[1]设计的,在该结构中数据的处理和存储是分离的,伴随着巨大的能量消耗^[2-4].近年来,随着科学技术的不断发展与进步,受脑启发的神经形态系统^[5]这一新型信息处理系统的出现为解决冯诺依曼瓶颈提供了很大的可能性.神经形态系统具有高度的并行计算能力、极低的功耗并且能够实现存算一体,已经逐渐成为了人工智能领域^[6]的研究热点之一^[7-9].其中,逻辑电路是神经形态计算硬件实现的基本计算单元,对于构建新型神经形态系统具有重要的意义.

目前实现逻辑电路的方法可以分为三类^[10-13],即基于传统元器件实现的逻辑电路、基于集成芯片实现的逻辑电路以及基于忆阻器实现的逻辑电路.基于传统互补金属氧化物半导体(Complementary Metal-Oxide-Semiconductor Transistor, CMOS)^[14]技术和集成芯片构建的逻辑电路在连续扩展、电路面积、功率消耗等方面面临着严峻的挑战^[15-17].具有纳米尺寸、电阻可变且非易失、耗能低等特性的忆阻器,为构建逻辑电路提供了新的思路.忆阻器^[18]这一新型电路元器件的概念于 1971 年由蔡少棠教授首次提出,该器件表示了电荷量和磁通量之间的关系.2008 年,惠普实验室首次验证了实物忆阻器的存在,并指出其是一个纳米级无源的二端电路元器件,忆阻器的成功制备引起了全球范围内研究者的广泛关注^[19].随着忆阻器研究的不断深入,忆阻逻辑电路为传统集成电路技术的发展提供了新的思路和解决方案,逐渐成为了构建面向神经形态系统中逻辑电路的一个热点研究方向^[20-22].

本文的主要结构和框架如下:在第 1 部分整理和分析了忆阻逻辑电路中常用的忆阻器模型;在第 2 部分对近年来的忆阻逻辑电路进行了详细的梳理和分析,并根据输入、输出逻辑状态变量的不同,将其分为三类,并对这三类电路的特性进行了对比和分析;在第 3 部分,本文介绍了忆阻逻辑电路在神经形态系统中的应用现状;针对忆阻逻辑电路在操作复杂性和物理实现方面的缺陷,在第 4 部分展望了忆阻逻辑电路的发展方向;最后,本文对忆阻逻辑电路及其在神经形态系统中的应用进行总结.需要说明的是,本文全面综述了面向神经形态系统的忆阻逻辑电路,旨在总结当前的发展趋势和未来的发展前景,希望进一步促进忆阻器在目前建立的逻辑电路架构以及人工智能领域神经形态系统中的应用.

1 忆阻器模型

忆阻器具有非易失性、纳米尺寸、低功耗、与传统 CMOS 技术可兼容、阻值变换快速等特性, 已经广泛应用在面向神经形态系统的逻辑电路中. 目前, 该领域一直致力于寻找新的材料和技术制备不同结构、不同物理机制的忆阻器件. 与此同时, 大量的工作已经投入到忆阻器数学模型的研究中. 一个准确、通用、简洁的忆阻器数学模型能够重现忆阻器所具备的复杂动力学特性, 对于后续的应用研究至关重要. 目前, 众多不同类型的忆阻器模型被构建^[23-35], 例如不同材料的忆阻器、惠普忆阻器、阈值开关忆阻器、电压阈值自适应忆阻器、扩散型忆阻器、单极性忆阻器等等.

忆阻器通常由金属-绝缘体-金属(metal-insulator-metal, MIM)结构制成, 大多新型材料具有环境稳定性、合适的能带结构和高导电性, 故新型材料制备的忆阻器在逻辑电路的构建中具有很高的应用潜力. Pt/W/Ta₂O₅/Pt/Ti/SiO₂/Si^[23], Au/Pt/TiO₂/Pt/Ti/Au/Pt/TiO₂/Pt/Ti^[24], Pd/Bi₂O₃Se/Pd^[25], Pt/ZnO/Pt^[26], Ta/TaO_x/Pt^[27], Pt/Ta/Ta₂O₅/Pt/Ti^[28], Pt/HfO₂/TiN^[29], Pt/Ta₂O₅/W/Pt^[30]等材料制备的忆阻器都已在忆阻逻辑电路中验证了模型的合理性, 图 1 展示了新型材料 Pd/Bi₂O₃Se/Pd 制备的忆阻器示意图.

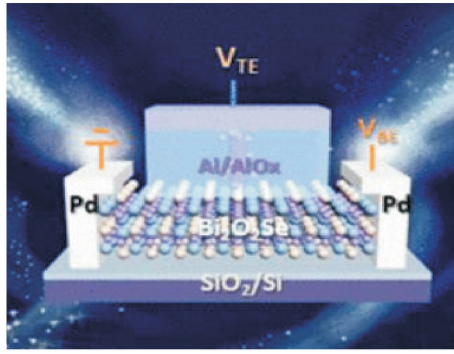


图 1 新型材料 Pd/Bi₂O₃Se/Pd 制备的忆阻器模型

虽然由新型材料制备的忆阻器具有独特的物理和电子特性, 但是忆阻器的成功制备存在一定的技术壁垒, 且基于忆阻器构建的逻辑电路对忆阻器的一致性和稳定性要求较高, 构建具有实物忆阻器电气特性的忆阻器数学模型至关重要.

2008 年, 惠普实验室提出了一个 Pt/TiO₂/Pt 结构的忆阻器模型^[19](图 2). 该模型将两层纳米级的二氧化钛薄膜夹在两个铂片电极之间, 其中一层 TiO₂ 薄膜没有氧空位, 另一层薄膜中为缺失氧原子的 TiO_{2-x} 层(掺杂层), 忆阻器的阻值是这两层薄膜阻值的总和. 由于通过薄膜的电荷量和电荷方向的不同, 掺杂层的氧空位会发生离子迁移, 两层薄膜的厚度会发生变化, 从而改变忆阻器的电阻状态. 定义忆阻器的高阻态阻值和低阻态阻值分别为 R_{off} 和 R_{on} ; 定义未掺杂薄膜端为忆阻器的正极, 掺杂层薄膜端为负极. 当在忆阻器的正极施加高电平时, 忆阻值减少, 反之, 忆阻值增加. 当离子线性迁移时, 模型的阻值 $M(x)$ 定义为:

$$M(x) = R_{\text{on}} \cdot x + R_{\text{off}} \cdot (1 - x) \quad (1)$$

$$x = \frac{w}{D} \in [0, 1] \quad (2)$$

$$\frac{dx}{dt} = ki(t), k = \frac{\mu_v R_{\text{on}}}{D^2} \quad (3)$$

其中: D 为忆阻结构中两层薄膜的总厚度, w 为掺杂层的厚度, x 为掺杂层在两层薄膜中的占比, μ_v 为内部离子漂移的平均速度, i 为通过该忆阻器的电流.

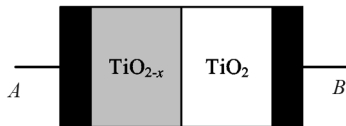


图 2 Pt/TiO₂/Pt 忆阻器模型

在纳米级器件中,极小的电压就可以产生巨大的电场,并在离子迁移过程中出现显著的非线性特征.离子的非线性漂移在两层薄膜的边界处特别明显,迁移速度逐渐减少至零.考虑到状态变量 x 的值应该限制在区间 $[0, D]$ 中,为了模拟非线性离子迁移现象,在线性离子迁移模型的基础上引入特殊的窗函数 $f(x)$ 可以得到对应的忆阻器非线性离子迁移模型.相较于线性离子迁移模型,该模型除状态变量 x 的变化趋势发生改变(见式(4)),其余状态方程均相同.

$$\frac{dx}{dt} = ki(t)f(x), k = \frac{\mu_v R_{on}}{D^2} \quad (4)$$

文献[31]基于量子力学隧穿现象,提出了耦合欧姆-隧穿忆阻器模型,也称阈值开关模型(Threshold Switch Model).该模型的等效电路如图 3 所示,图中的 R 表示欧姆阻值, R_t 表示忆阻值, L 表示隧道势垒的宽度.该忆阻器模型的阻值定义为:

$$M = f_0 \cdot \frac{e^{2L}}{L} \quad (5)$$

$$L = L_0 \left(1 - \frac{\kappa}{r} \right) \quad (6)$$

其中: L 表示隧道势垒的宽度; f_0, κ 为该模型的拟合参数; r 表示一个与电压有关的参数.

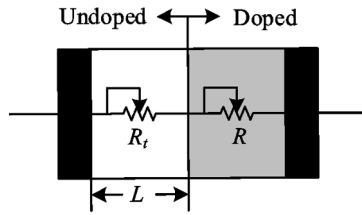


图 3 耦合欧姆-隧穿忆阻器模型

阈值自适应模型^[32](threshold adaptive memristor, TEAM)是一种基于电流阈值的忆阻器模型,即忆阻器的阻值是否变化取决于流经忆阻器的实时电流值与电流阈值之间的关系.然而,在大部分基于忆阻器的逻辑电路设计中,基于电压阈值的忆阻器模型应用更广泛.基于此,文献[33]引入电压阈值自适应模型(voltage threshold adaptive memristor, VTEAM),该模型允许通过调整模型的参数来模拟各种忆阻器的行为.该模型中的忆阻器阻值定义为

$$M(x) = R_{on} + \frac{R_{off} - R_{on}}{x_{off} - x_{on}}(x - x_{on}) \quad (7)$$

式中: R_{off} 和 R_{on} 分别为忆阻值的极大和极小值, x_{off} 和 x_{on} 分别为忆阻器内部状态变量 x 的上下边界值.

VTEAM 模型区别于 HP 忆阻模型的一个显著特性是具有阈值特性,忆阻器的阻值切换速度更快.当施加于忆阻器两端的电压为正负阈值之间的数值,忆阻值不发生变化.而施加的电压超过正电压阈值,忆阻值增加.相反,若施加的电压低于负电压阈值,忆阻值减少.该模型结构简单、具有阈值特性、准确度高,还有一定的通用性,为忆阻逻辑电路的设计提供了新的思路.

对于非易失性忆阻器,在不施加偏置电压时,可以保持在原来的阻值状态.然而,在去除偏置电压时,若此前易失性忆阻器处于低阻值状态,它会在纳秒到毫秒的时间内自发地从低阻值状态回到高阻值状态.数字型易失性忆阻器(扩散型忆阻器)是构建逻辑电路的理想选择,不但具有很高的开关比,可以在低至纳秒的时间内完成电阻切换,还具有良好的可扩展性,基于扩散型忆阻器进行内存中计算的可能性已经被证明^[34].但数字型易失性忆阻器需要一个电源来存储信息,故其构建的逻辑电路会比基于非易失性忆阻器构建的电路复杂.

双极性忆阻器具有阻值快速切换特性与阈值特性,为其实现忆阻逻辑电路提供了天然的条件.目前,大量基于忆阻器的逻辑电路设计方案采用双极性忆阻器模拟不同的逻辑功能^[19,23-34].不同于基于双极性忆阻器的逻辑电路,单极性忆阻器有着很高的开关比和极高的集成度,并且该忆阻器仅仅与施加的电压大小有关,只需要一个极性的电压^[35],能够有效降低外围电路的复杂度.另外,单极性忆阻器更容易并入存储器阵列中,进而实现功能复杂的逻辑电路.

针对以上介绍的忆阻器模型进行整理和分析, 并将得到的结果整理于表 1:

表 1 忆阻器模型汇总

模型	材料	器件类型	阈值特性	阈值	模型精确度	模型复杂度	参考文献
实物忆阻器	Pt/W/Ta ₂ O ₅ /Pt/Ti/SiO ₂ /Si	双极性	有	V	—	—	[23]
	Au/Pt/TiO ₂ /Pt/Ti / Au/Pt/TiO ₂ /Pt/Ti	双极性	有	V	—	—	[24]
	Pd/Bi ₂ O ₃ Se/Pd	双极性	有	V	—	—	[25]
	Pt/ZnO/Pt	双极性	有	V	—	—	[26]
	Ta/TaO _x /Pt	双极性	有	V	—	—	[27]
	Pt/Ta/Ta ₂ O ₅ /Pt/Ti	双极性	有	V	—	—	[28]
	Pt/HfO ₂ /TiN	双极性	有	V	—	—	[29]
	Pt/Ta ₂ O ₅ /Ta/Pt	双极性	有	V	—	—	[30]
惠普忆阻器	Pt/TiO ₂ /Pt	双极性	无	无	一般	简单	[19]
阈值开关忆阻器	Pt/TiO ₂ /Pt	双极性	有	V	一般	较复杂	[31]
TEAM	—	双极性	有	I	较精确	复杂	[32]
VTEAM	—	双极性	有	V	精确	复杂	[33]
扩散型忆阻器	—	双极性	有	V	一般	较复杂	[34]
单极性忆阻器	TiO ₂ 薄膜	单极性	有	V	较精确	复杂	[35]

从表 1 可以发现基于 Pt/TiO₂/Pt 材料构建的惠普忆阻器模型简单, 然而其没有阈值特性, 阻值的状态易受到外界的干扰, 抗干扰能力较弱. 但是, 惠普忆阻器实现阻值的转换对施加电压的大小没有太高的要求, 故其在忆阻器/CMOS 混合构建的逻辑电路中应用广泛. 表 1 中应用于数字逻辑电路的忆阻器模型多为双极性, 与单极性忆阻器相比, 电阻的开关能发生在较低的电压条件下. 根据表 1, 可以看出大多数忆阻器模型都具有阈值特性, 且将电压作为阈值的忆阻器模型占大多数, 值得注意的是, 表中提及的 TEAM 模型为电流阈值模型. 忆阻器具有的阈值特性能够保证忆阻器具有良好的开关特性, 这是其能否在数字逻辑电路中得到较好应用的关键特性. 此外, TEAM 模型和 VTEAM 模型相对精确度较高, 也被广泛应用于实现忆阻逻辑电路.

2 忆阻逻辑电路与特性分析

忆阻器凭借良好的开关特性被广泛应用于逻辑电路. 基于忆阻器的逻辑电路不仅能够实现布尔逻辑、实质蕴涵逻辑, 还能实现携带信息量更多、运算效率更高的三值逻辑电路. 基于忆阻器的逻辑电路与传统的逻辑电路内部的逻辑状态变量存在着明显的差异. 在由晶体管、集成芯片构建的传统逻辑电路中, 电压是唯一逻辑状态变量. 输入端口接入电压信号, 并在整个信号处理过程以电压形式进行逻辑运算, 最后输出也为电压形式. 而忆阻逻辑电路内部的逻辑状态变量除了具有传统逻辑电路电压形式外还有两种不同的表现形式: 一种是电阻作为输入、中间运算和输出结果中的唯一状态变量; 另一种是电压和电阻都作为状态变量引入电路的运算.

基于以上分析, 本文将忆阻逻辑电路大致分为三类: 第一类逻辑电路中的输入、输出状态变量均为阻值, 定义其为 R-R 忆阻逻辑电路; 第二类逻辑电路中的输入、输出状态变量均为电压, 定义其为 V-V 忆阻逻辑电路; 第三类电路中的输入、输出状态变量为阻值和电压的组合, 定义其为 V 与 R 组合状态变量忆阻逻辑电路. 在此分析这三类忆阻逻辑电路的特性, 为后续其在神经形态系统中的应用提供良好的参考.

2.1 忆阻逻辑电路

2.1.1 R-R 型忆阻逻辑电路

R-R 型忆阻逻辑电路是指使用忆阻值替代传统逻辑电路中的电平信号来进行逻辑计算的一类电路. 1910 年, 《数学原理》一书提出了 4 种基本的逻辑运算^[36]. 其中的“与”“或”“非”运算被广泛地应用于计算机系统和集成电路, 这 3 个基本运算操作能够形成一个完整的集合. 还有一个被命名为“实质蕴涵(Material implication, IMP)”的运算操作, 由 p 和 q 两个变量构成, 逻辑函数 $p \text{ IMP } q (p \rightarrow q)$ 的数学物理含义为“如

果 p , 那么 q ”, 用数字逻辑中的表达式如下:

$$q' = \bar{p} + q$$

(8)

惠普实验室提出了基于忆阻器实现实质蕴涵逻辑的电路(IMPLY), 该电路的输入、输出逻辑状态变量均为忆阻值. 实质蕴涵逻辑操作(IMP)可以由两个忆阻器和一个电阻器构建的简单电路实现, 并运用提出的 IMP 操作和 FALSE 逻辑^[37]操作(总是输出逻辑“0”)构建了一个二输入的“与非”门. 图 4 为 IMP 操作的电路图, 由两个参数完全相同的忆阻器 P 和 Q 与一个接地负载电阻器 R_G 串联构建, 表 2 为其对应的真值表. 基于该 IMP 和 FALSE 操作, 能够实现不同的布尔逻辑, 具体的实现方法列于表 3.

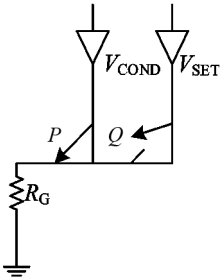


图 4 实现 IMP 实质蕴涵逻辑的电路示意图

表 2 p IMP $q \rightarrow q'$ 对应的逻辑真值表

输入 p	输入 q	输出 q'
0	0	1
0	1	1
1	0	0
1	1	1

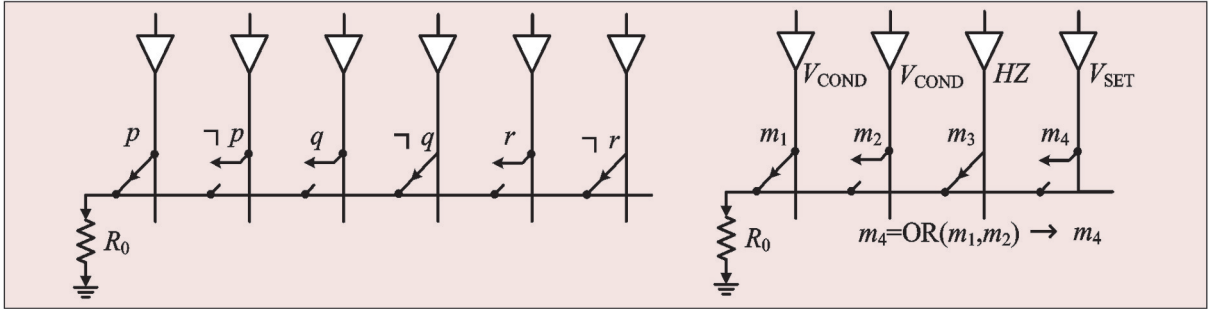
表 3 基于 IMP 操作和 FALSE 操作的不同布尔逻辑实现方法

布尔逻辑功能	实现方法
p NAND q	p IMP (q IMP 0)
p AND q	$((p$ IMP (q IMP 0)) IMP 0
p NOR q	$((p$ IMP 0) IMP q) IMP 0
p OR q	$(p$ IMP 0) IMP q
p XOR q	$(p$ IMP q) IMP $((p$ IMP q) IMP 0)
NOT p	p IMP 0

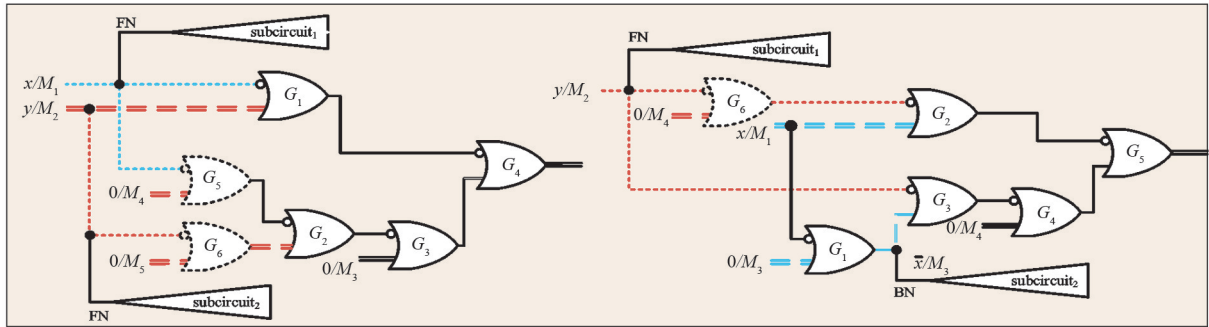
IMP 逻辑操作的实现思路: 对两个忆阻器施加不同的电压, 其中施加于 P 上的电压为 V_{COND} , 施加于 Q 上的电压为 V_{SET} , 限定两个电压均为负电压, 且满足 $|V_P| < |V_Q|$. 定义忆阻器的极小值 R_{on} (极大值 R_{off}) 对应电路中状态变量的逻辑“1”(逻辑“0”), 并规定电阻器的阻值满足不等式 $R_{\text{on}} < R_G < R_{\text{off}}$. 忆阻器 P 和 Q 的初始阻值状态 p 和 q 作为电路的输入变量, 通过对 P 和 Q 施加相应的电压, 得到 Q 的最终阻值状态 q' (即电路的输出). 具体地, 若 p 对应逻辑“1”, Q 两端的电压近似为 V_{SET} , 将允许 Q 的阻值状态发生改变. 在该条件下, 若 q 对应逻辑“1”, Q 的阻值将会减少, 逻辑状态变为“1”. 若 q 对应逻辑“0”时, Q 的阻值将不会变化, 逻辑将会保持“0”. 若 p 对应逻辑“0”, 电阻器 R_G 两端的电压为 V_{COND} , Q 两端的电压近似为 $V_{\text{SET}} - V_{\text{COND}}$, 电压过小, 故 Q 维持其自身的阻值状态.

IMPLY 电路在忆阻逻辑电路中应用广泛, 但基于 IMPLY 构建的电路存在一个主要缺陷, 即其需要冗长的周期序列以执行不同的逻辑运算. 从性能的角度分析, 电路延时过长. 多次 IMP 逻辑操作还可能导致错误累积从而影响逻辑运算的准确性. 针对 IMPLY 电路的进一步研究和改进工作大多在文献[38]提出的电路基础上进行. 文献[39]提出了引入变量的互补表示和多输入运算实现 IMP 逻辑的新方法, 构建的电路

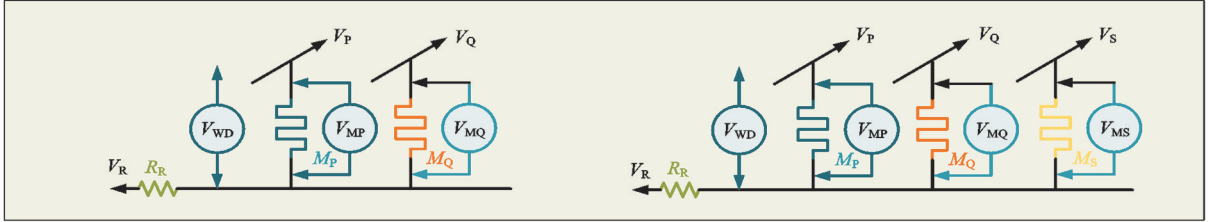
如图 5a 所示, 变量的互补表示策略中每个输入和输出变量需要两个忆阻器, 一个存储变量的值, 另一个存储其反向值. 多输入运算时应考虑所使用忆阻器的极大值和极小值的比率足够大, 以区分多个并行非导电器件和单个导电器件. 如果输入被用于并行执行多个布尔操作, 每个逻辑门的操作行为将互相影响, 导致结果不准确. 文献[40]为解决该问题, 提出了一种综合算法, 并设计了新的没有扇出问题的逻辑异或门和同或门, 如图 5b 所示.



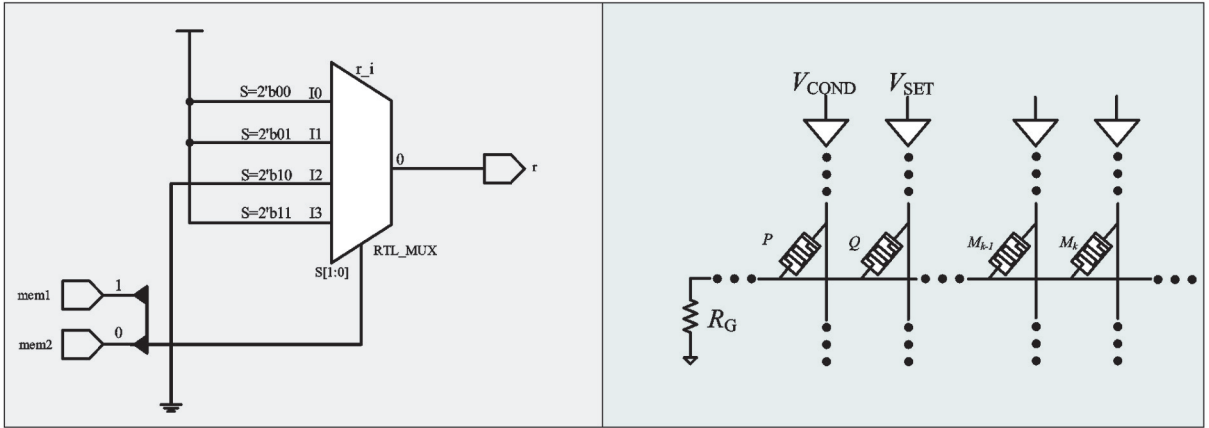
a. 引入变量互补表示和多输入运算实现的IMPLY电路



b. 改善扇出问题的IMPLY电路



c. 基于IMPLY的新型双、三忆阻器逻辑电路



d. 忆阻器和CMOS共同实现IMPLY电路

e. 忆阻器与交叉阵列结合实现IMPLY电路

图 5 基于忆阻器实现的 IMPLY 电路及其改进电路

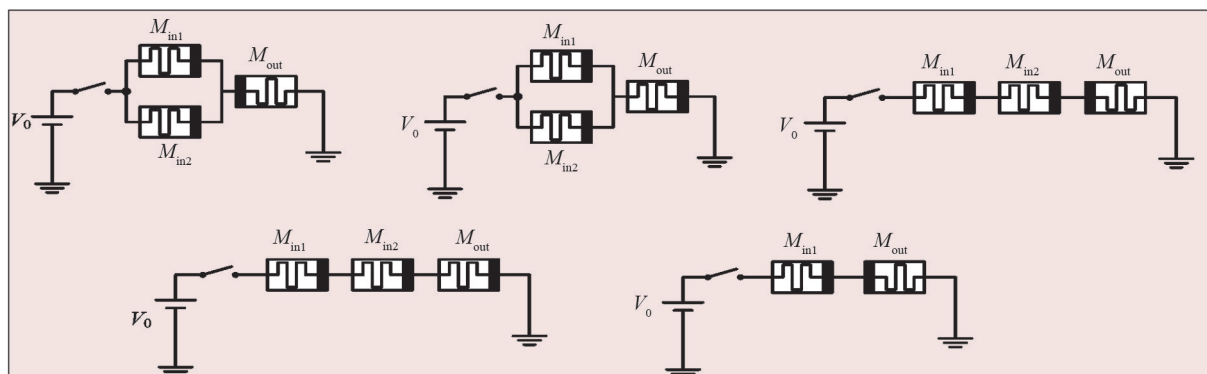
文献[27]基于 IMPLY 电路, 提出了一种新的逻辑电路实现方法, 并构建了双忆阻器逻辑电路和三忆

阻器逻辑电路,如图 5c 所示. 该电路与 IMPLY 电路最大的区别为电阻器 R_G 不再接地, 并且在实现不同逻辑函数时, 需要施加特定的电压在忆阻器和电阻器上. 文献[41]中提出了一种忆阻器和 CMOS 技术兼容实现 IMPLY 电路的方法, 该电路的输入为两个忆阻器 P 和 Q 的阻值状态, 而输出的阻值状态可以认为是忆阻器 Q 的最终阻值状态, 使得阻值能够作为输出传递到下一级电路, 构建的电路如图 5d 所示. IMPLY 电路与交叉阵列兼容, 故很多研究将 IMPLY 电路集成于交叉阵列中, 如图 5e 所示, 在工作忆阻器所在的位线上施加特定的电压 V_{SET} 和 V_{COND} , 在子线上串联一个接地的电阻器 R_G .

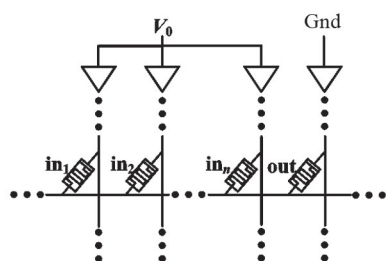
文献[42]基于 IMPLY 电路, 提出了一个新的基于忆阻器的逻辑电路——忆阻器辅助逻辑(Memristor Aided loGIC, MAGIC), 该电路中输入、输出逻辑状态变量均为忆阻值, 定义忆阻器的极小值 R_{on} (极大值 R_{off}) 对应电路中状态变量的逻辑“1”(逻辑“0”). 在 MAGIC 中, 不需要电阻器这一元器件进行分压操作, 整个电路仅由忆阻器实现. 此外, MAGIC 电路中使用不同的忆阻器作为输入和输出, 输出被写入一个专用的忆阻器, 将输入和输出逻辑状态变量进行分离, 保护输入变量不被破坏. 该方法构建的电路还具有结构简单的特点, 只需要在开关上施加一个特定的电压就能实现对应的逻辑功能.

基于 MAGIC 电路构建的基本逻辑门如图 6a 所示, 输入忆阻器 M_{in1} 和 M_{in2} 的初始阻值状态作为逻辑电路的输入, 需要事先对忆阻器进行初始化操作, 将这两个输入忆阻器与输出忆阻器 M_{out} 串联连接, 施加特定的电压后 M_{out} 切换阻值状态. 具体地, MAGIC 电路的实现分为连续的两个阶段. 首先将输出忆阻器的阻值状态初始化为特定值, 进一步, 对逻辑电路施加电压 V_0 . 输出忆阻器 M_{out} 上的电压取决于输入和输出忆阻器的逻辑状态. 简而言之, 输入忆阻器和输出忆阻器构成一个分压器. 当施加在忆阻器两端的电压大于其阈值电压, 输出忆阻器的逻辑状态能够改变. 相反, 若电压低于阈值电压, 输出忆阻器的阻值将保持在初始状态.

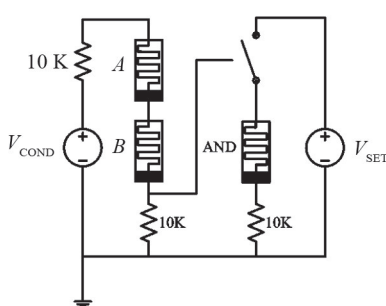
MAGIC 电路结构简单, 只需要一个控制电压, 不需要额外的电阻器, 输入和输出状态存储在不同的忆阻器中, 且运算过程高效稳定, 能够重复操作. 故基于 MAGIC 的逻辑电路通用性较强, 目前在该方面的研究很广泛. 文献[43]将忆阻器的阻值分为高阻、中阻、低阻 3 个阻值状态, 表示逻辑“0”“1”“2”, 基于 MAGIC 电路设计实现了三值逻辑门电路. MAGIC 电路也能够与交叉阵列兼容, 在输入忆阻器所在列施加特定电压, 输出忆阻器所在列接地, 电路示意图如图 6b 所示, 使用此设计方法在忆阻逻辑电路中应用广泛.



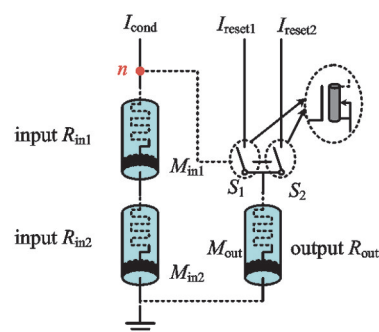
a. MAGIC逻辑电路实现



b. 忆阻器与交叉阵列结合实现MAGIC电路



c. MAD实现电路



d. 基于MAD实现三值逻辑电路

图 6 基于忆阻器实现的 MAGIC 电路及其改进电路

文献[44]基于 IMPLY 电路,提出了一个新型逻辑门——忆阻器驱动门(memristors-as-drivers gate, MAD Gate). 该电路通过感应输入忆阻器的值,并将其作为输出忆阻器的驱动器,该电路实现的简单逻辑门例如“与”“或”“非”“与非”“或非”“异或”门等都只有一个逻辑操作的延时,并且最多只需要 3 个忆阻器. 以逻辑“与”门为例,电路图如图 6c 所示. 忆阻器 A 和 B 的忆阻值作为输入逻辑状态变量,输出逻辑状态变量为与开关相连的忆阻器的阻值,定义忆阻器的极小值 R_{on} (极大值 R_{off})对应电路中状态变量的逻辑“1”(逻辑“0”). 为保证输入忆阻器在传感阶段的阻值不发生变化,选取比忆阻器的正阈值电压小的 V_{COND} . 同时为了确保输出忆阻器的忆阻值能够发生改变,选取比忆阻器的负阈值电压小的 V_{SET} . 若忆阻器 A 和 B 的阻值都对应逻辑“0”或者任意一个输入忆阻器的阻值对应逻辑“0”,控制开关闭合端的电压近似于 0,不足以启动开关,故输出忆阻器保持其原始状态“0”. 而若 A 和 B 均处于低阻值状态,将会开启与输出忆阻器相连的开关,输出忆阻器的阻值在 V_{SET} 的影响下减小,逻辑状态转变为逻辑“1”. 文献[45]基于 MAD 设计了一个基于忆阻器的三值逻辑门电路,电路示意图如图 6d 所示,开关 S_1 和 S_2 的开闭由端点 n 的电压决定,两个电流 I_{reset1} 和 I_{reset2} 被选通并流经输出忆阻器改变其阻值状态,忆阻器的高阻、中阻、低阻分别表示逻辑“0”“1”“2”,实现了忆阻逻辑电路的多值运算.

2.1.2 V-V 型忆阻逻辑电路

基于忆阻器构建的逻辑电路中的输入、输出逻辑状态变量除了可以是电阻,也可以为电压,并将输入输出变量均为电平信号的电路称为 V-V 型忆阻逻辑电路. 文献[46]中提出逻辑运算可以通过将忆阻器与 CMOS 技术集成的方法来实现,提出了一种基于忆阻器/CMOS 混合结构的逻辑电路实现方法,并将其命名为忆阻器比例逻辑(memristor ratioed logic, MRL). 在这种逻辑电路中,逻辑运算中的“与”和“或”功能可以通过忆阻器实现,逻辑运算中的“非”门电路和信号放大功能由 CMOS 技术构建的反相器实现. 基于 MRL 结构实现的基本逻辑电路示意图如图 7 所示.

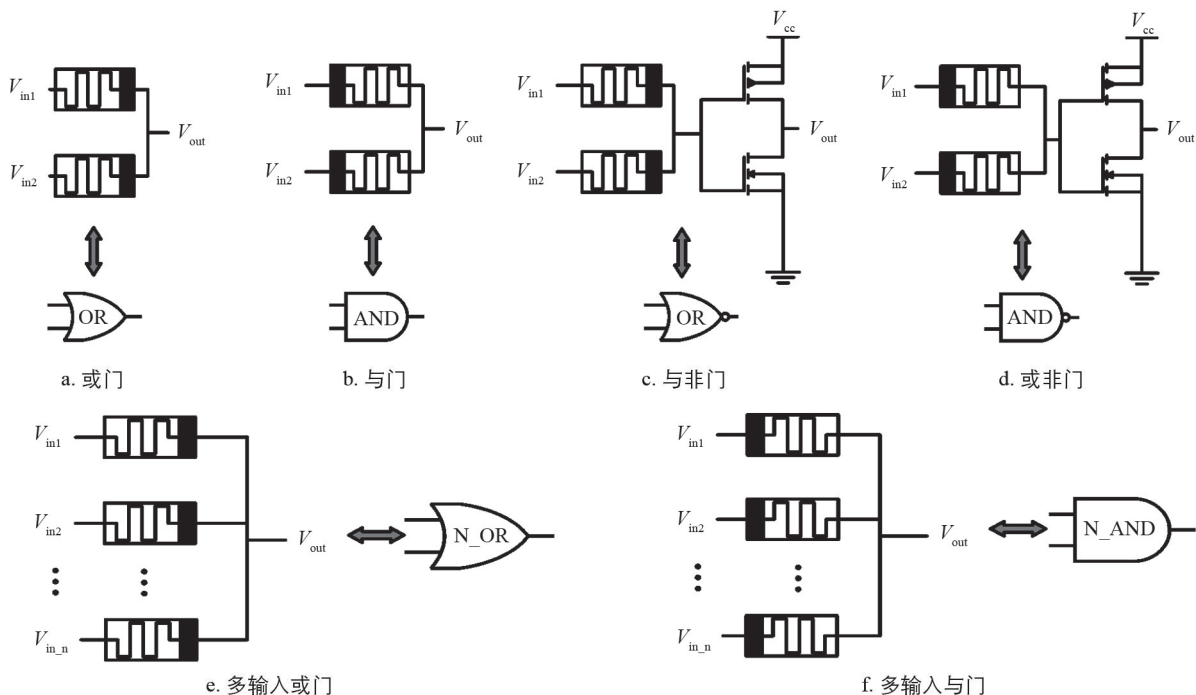


图7 基于 MRL 结构实现的基本逻辑电路

不同于 IMPLY 电路实现的二值逻辑, MRL 电路中的输入输出逻辑状态变量始终为电压信号, 高电平(低电平)对应电路状态变量的逻辑“1”(逻辑“0”). 将施加在两个忆阻器上的电压 V_{in1} 和 V_{in2} 作为该逻辑电路的输入变量, 输出则为两个忆阻器相连端口的电压 V_{out} . 逻辑“或”门和逻辑“与”门电路拓扑相同, 均可由两个极性相反的忆阻器串联构建, 如图 7a 和图 7b 所示. 若在两个逻辑门电路施加相同的输入信号(高电平或低电平), 输入端口不存在电压降, 两个忆阻器之间没有电流通过, 那么输出电压与输入电压相同. 然而, 若施加的两个输入信号电平相反(一个高电平一个低电平), 电路中就会存在压降, 相应地, 电流将会从高

电平一端流向低电平一端,同时忆阻器的阻值状态将会在电流的作用下发生改变,进而影响输出电压 V_{out} 的值.在逻辑“或”门和“与”门的输出端连接一个 CMOS 反相器,即可实现逻辑“或非”门和“与非”门,如图 7c 和图 7d 所示.基于二输入逻辑“或”门和“与”门的电路结构,构建了多输入“或”门和“与”门,如图 7e 和图 7f 所示.

在大多基于 MRL 构建的电路中,使用 CMOS 反相器实现逻辑“非”门,而文献[47]中使用一个忆阻器和一个 CMOS 晶体管混合的结构改进了逻辑“非”门,如图 8a 所示,在一定程度上减少了电路的面积.文献[48]通过两个忆阻器和一个 CMOS 反相器构建了一个三值逻辑“非”门,如图 8b 所示.文献[49-50]基于 MRL 设计了一个三值逻辑电路,将作为状态变量的电平信号分为三档,分别代表逻辑“0”“1”“2”.其中“与”“或”门的构建与 MRL 相同,“非”“与非”“与或”门的构建都在输出端口串联了一个忆阻器,并且在忆阻器的输入端施加一半的电源电压,实现的逻辑“与非”门的电路图如图 8c 所示.在 MRL 中,不同的电路拓扑结构实现了不同的逻辑函数功能,整个运算过程不需要额外的初始化操作,电路的输出结果与忆阻器的初始状态无关,通用性更好.例如文献[51]提出了一个新的忆阻器/CMOS 逻辑电路,可以在同一个电路实现逻辑“与”“或”“异或”“同或”4 种逻辑运算,如图 8d 所示.

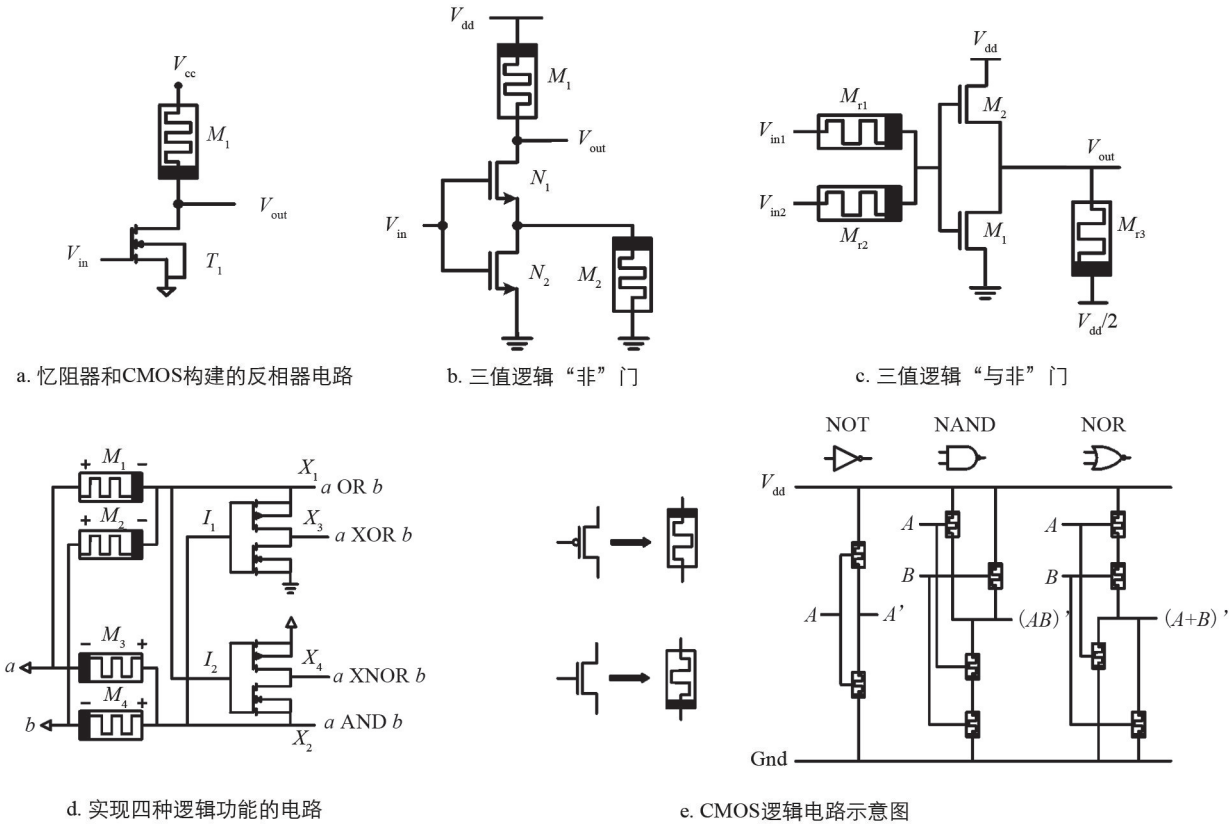


图 8 基于忆阻器的 MRL 改进电路

基于 MRL 设计的逻辑电路中,逻辑“非”门的实现方式大多还需要一个 CMOS 反相器,故基于该方法构建的逻辑电路相较于纯忆阻器构建的逻辑电路,功耗和面积都更大.在计算输出电压过程中,尽管满足不等式 $R_{off} \gg R_{on}$,仍存在少量的电压衰减,但是通过对电路的不断级联,会导致电压衰减现象更加明显,最终影响逻辑电路的准确性.

文献[31]提出了一个基于忆阻器的类 CMOS 电路,该电路的输入、输出逻辑状态变量均为电压,也属于 V-V 型忆阻逻辑电路.该电路中使用正向极化忆阻器代替 N 型晶体管,用反向极化忆阻器代替 P 型晶体管.相应地,正向极化忆阻器的初始阻值为 R_{on} ,反向极化忆阻器的初始逻辑状态为 R_{off} .若在正向极化忆阻器两端施加正电压,阻值状态将不会发生改变,若施加的电压为负电压,阻值将会从 R_{on} 增大至 R_{off} .若在反向极化忆阻器两端施加正电压,阻值状态将不会发生改变,而若施加的电压为负电压,阻值将从 R_{off}

减少至 R_{on} . 基于该电路构建的逻辑“非”“与非”“或非”门电路如图 8e 所示. 图中忆阻器显示为三端器件, 以方便其与 CMOS 器件比较. 该电路的输入输出逻辑状态变量均为电压, 定义输入信号为正电压时, 对应逻辑“1”, 输入信号为负电压时, 对应逻辑“0”, 定义输出电压近似于电源电压 V_{dd} 时, 对应逻辑“1”, 近似于接地电压 Gnd 时, 对应逻辑“0”.

以实现的逻辑“非”门为例, 在输入正电压时, 两个忆阻器都将维持其原先的阻值状态, 即反向极化忆阻器为高阻值状态, 正向极化忆阻器为低阻值状态. 根据电路分压原理, 输出的电压近似为 $0V$, 对应逻辑“0”. 相反地, 若施加的电压为负电压, 两个忆阻器的阻值状态都发生了翻转, 即反向极化忆阻器的阻值状态转变为低阻值状态, 正向极化忆阻器的阻值状态转变为高阻值状态, 输出的电压近似表示为电源电压, 对应逻辑“1”.

2.1.3 V-R/R-V 型忆阻逻辑电路

在 V-R 型忆阻逻辑电路中, 将电压信号作为逻辑输入进行逻辑计算, 而计算得到的结果由忆阻器后继的阻值状态作为逻辑输出. R-V 型忆阻逻辑电路是将忆阻器的阻值状态作为逻辑输入, 电路的输出电压与参考值进行比较, 得到逻辑输出结果. 由于输入输出逻辑状态不统一, 在写入和读出相应变量时, 需要采用不同的方法, 在一定程度上增加了设计电路的复杂性, 因此逻辑电路中输入输出状态变量为不同变量的电路较少.

Akers 逻辑阵列^[52]是由实现相同逻辑功能的单元互连而成, 每个逻辑单元的输出被传输到下方和右侧的数组, 控制对所有的行输入高电平(逻辑“1”), 对所有的列输入低电平(逻辑“0”), 电路如图 9a 所示. 各个单元实现的逻辑函数为

$$f(x, y, z) = x\bar{z} + yz \quad (9)$$

文献[53]提出了一个基于互补忆阻器结构的 Akers 逻辑阵列, 该电路由两个反向串联的互补忆阻器(两个忆阻器的阻值状态相反)组成(图 9b). 该电路的输入逻辑状态变量为忆阻器的阻值, 定义忆阻器的极小值 R_{on} (极大值 R_{off})对应电路中状态变量的逻辑“1”(逻辑“0”), 在 x, y 两端施加特定的电压后, 输出为两个忆阻器相连公共端口的电压 V_f , 定义高电平(低电平)对应逻辑“1”(逻辑“0”), 该电路属于 R-V 型忆阻逻辑电路. 如果忆阻器 M_z 为高阻值状态, 则与 M_z 相连的电路导通, 施加在 y 上的电压作为电路的输出. 若 M_z 为低阻值状态, 与 M_z 相连的电路断开, 而与互补忆阻器相连的电路导通, 施加在 x 上的电压作为电路的输出, 两个忆阻器相连的公共端口电压表示为

$$V_f = \frac{V_y - V_x}{R_z + R_{\bar{z}}} \cdot R_z + V_x \quad (10)$$

进一步, 设计了一个逻辑“异或”门, 该门电路由 8 个忆阻器构建, 并对每行的最左边列施加高电平, 并将每列最上方一行接地, 电路如图 9c 所示. 电路的实现分为两个阶段: 首先要对电路中的忆阻器进行初始化操作, 即写入需要输入的逻辑状态变量; 紧接着, 通过施加一个低电平执行相应的布尔逻辑函数. 需要说明的是, 这里使用的低电压需要确保阵列中的忆阻器阻值状态不会发生改变.

文献[54]提出了一个由忆阻器和开关构建的逻辑电路, 可以通过不同的开关操作实现基本的“与”“或”“非”“与非”“或非”门, 电路图如图 10 所示. 在一个电路中就能实现多个逻辑操作, 大大节省了电路的面积和功耗, 并且提出的电路不需要进行初始化操作, 减少电路的执行时间. 该电路的输入逻辑状态变量为电压, 定义信号的高电平(低电平)对应电路状态变量的逻辑“1”(逻辑“0”). 输出逻辑状态变量为忆阻值, 定义忆阻器的极小值 R_{on} (极大值 R_{off})对应电路中状态变量的逻辑“1”(逻辑“0”), 属于 V-R 型忆阻逻辑电路类型. 以逻辑“与”门为例做详细介绍, 上面部分的 4 个忆阻器为调控忆阻器, 下面的两个忆阻器为负载电阻, 逻辑“与”门通过将忆阻器 M_1, M_2, M_{s2} 与电压相连端的开关闭合, 其余忆阻器相连的开关断开, 定义忆阻器 M_1 和 M_2 的阻值分别为 R_1 和 R_2 , M_{s2} 的阻值远大于 R_1 和 R_2 , 那么 3 个忆阻器相连的公共端的电压为:

$$V_s \simeq \frac{R_2}{R_1 + R_2} V_1 + \frac{R_1}{R_1 + R_2} V_2 \quad (11)$$

若 V_1 和 V_2 均为高电平(低电平), 公共端电压 V_s 近似等于高电平(低电平), 产生的电流从 M_{s2} 的正极流向负极(负极流向正极), 其忆阻值减少(增加), 故输出的状态变量对应逻辑“1”(逻辑“0”). 若 V_1 为高电

平, V_2 为低电平, M_2 阻值减少, 公共端电压 V_s 近似等于低电平, 输出逻辑“0”. 类似地, 若 V_1 为低电平, V_2 为高电平, 输出“0”.

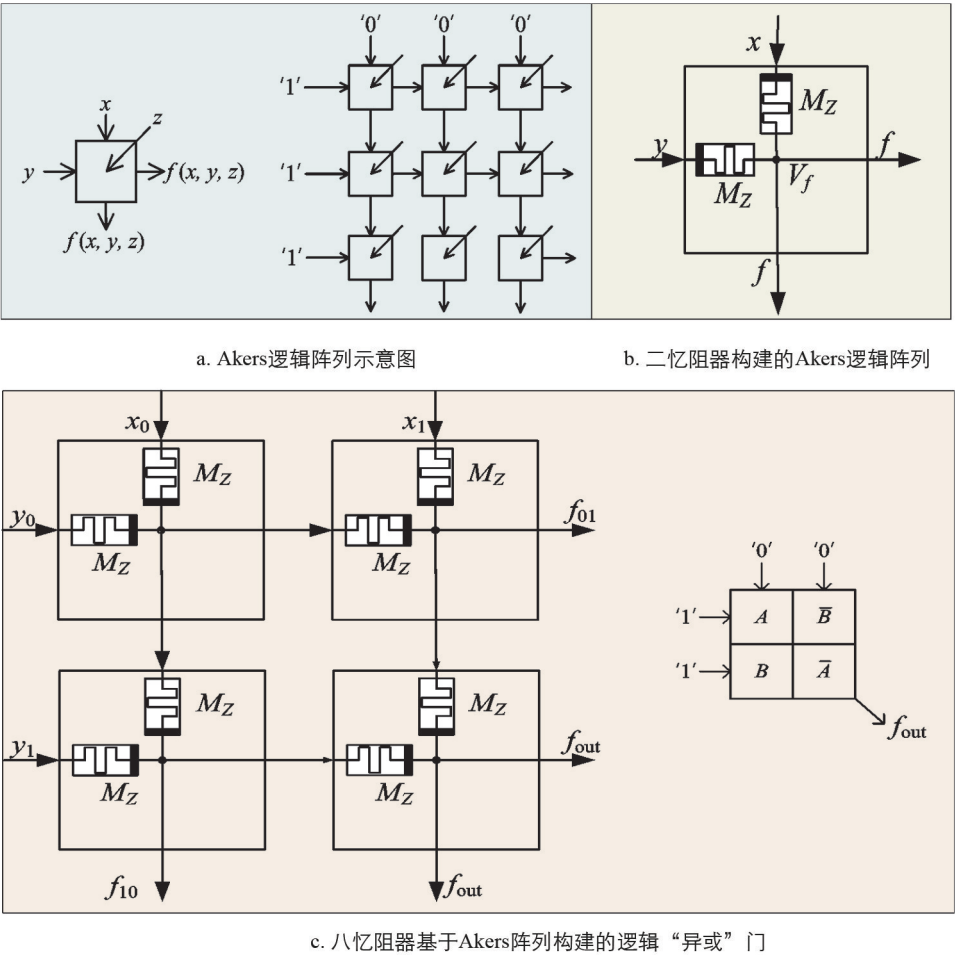


图 9 Akers 逻辑阵列及实现方法

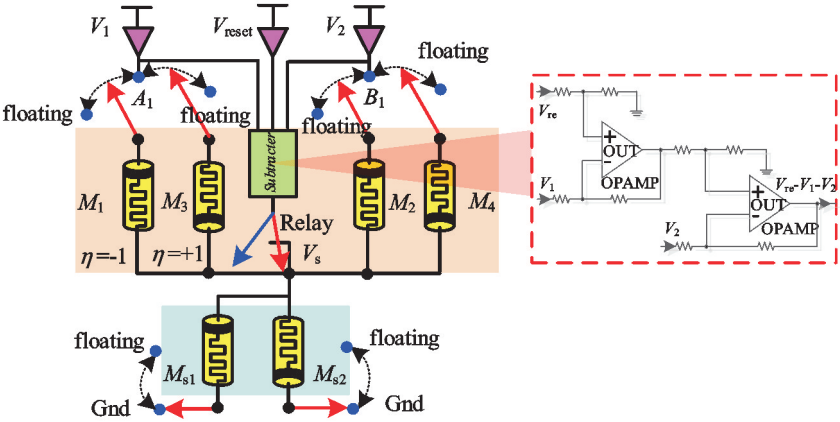


图 10 忆阻器和开关构建的 V-R 型逻辑电路

2.2 忆阻逻辑电路性能对比分析

针对以上的 3 类忆阻逻辑电路, 本文从组成部分、计算方式、逻辑状态变量、写入/读取变量外围电路的复杂度、能量损耗、级联能力、延时性 7 个方面开展对比和分析, 并将结果整理于表 4 中.

表 4 忆阻逻辑电路性能对比

	R-R 型 忆阻逻辑电路	V-V 型 忆阻逻辑电路	R-V/V-R 型 忆阻逻辑电路
组成部分	M, R ⁺	M, MOS ⁺	M
计算方式	串行	并行	串行/并行
逻辑状态变量	阻值	电压	阻值、电压
写入/读取变量 外围电路的复杂度	复杂	简易	一般
能量损耗	较少	较多	一般
级联能力	一般	较好	一般
延时性	较差	较好	一般

注: M 代表忆阻器, R 代表电阻器, MOS 代表晶体管, ⁺代表该类别电路可能包含的元器件。

1) R-R 型忆阻逻辑电路

输入输出状态变量均由忆阻值表示, 有助于构建结构简单的忆阻存内计算系统. 实现二值逻辑时, 该类型逻辑电路中忆阻器的极大值和极小值分别表示逻辑“0”和逻辑“1”. 实现三值逻辑时, 该类型逻辑电路一般是将忆阻器的阻值分为 3 档, 分别对应逻辑“0”“1”“2”或者逻辑“-1”“0”“1”. 该类型的忆阻逻辑电路组成部分简单, 极大地缩减了电路的规模, 减少了电路的功耗. 然而, R-R 型忆阻逻辑电路的计算方式为串行, 需要设定冗长的时间序列, 极大地增加了逻辑计算的时间成本, 延时性较差. 同时, 该类型电路需要较复杂的外围电路, 进行写入/读取变量的操作.

2) V-V 型忆阻逻辑电路

电压表示输入输出的逻辑状态变量, 与已经成熟的 CMOS 技术兼容, 对驱动电路的要求较低. 实现二值逻辑时, 逻辑“0”和逻辑“1”分别由低电平和高电平表示. 实现三值逻辑时, 一般采用 3 个不同的电压, 分别对应逻辑“0”“1”“2”或者逻辑“-1”“0”“1”. 该类型的忆阻逻辑电路, 通过直接给操作电压分配逻辑意义, 消除了 R-R 型忆阻逻辑电路中将逻辑输入信号写入忆阻器的过程, 不需再设计外围电路进行写入状态变量的操作. 由于该类型电路的输出逻辑状态变量由电压表示, 级联性相较于状态变量中有阻值的电路更好, 能够并行地执行逻辑计算. 但输出电压是易失性的, 需要额外的存储单元来存储逻辑输出. 除此之外, 该类型的电路较难应用于忆阻器的交叉阵列中, 存在一定的局限性.

3) R-V/V-R 型忆阻逻辑电路

输入输出状态变量为忆阻值和电压的组合, R-V 型忆阻逻辑由电阻输入和电压输出构成, 而 V-R 型忆阻逻辑电路中的输入状态变量为电压, 输出状态变量则为忆阻值. 实现二值、三值逻辑功能, 该类型电路所表示的逻辑值与以上讨论的两类逻辑电路相同. R-V 型忆阻逻辑电路同 V-V 型忆阻逻辑电路的输出逻辑状态变量相同, 是易失性的, 需要设计能够实现存储功能的外围电路. R-V/V-R 型组合型逻辑电路的输入/输出为忆阻值, 需要设计相应的外围电路执行写入/读取变量操作. 这一类型的电路在逻辑迭代计算过程中, 每个计算的电阻(电压)输出都必须转换为下一次计算的电压(电阻)输入, 级联能力一般, 需要设计外围电路实现变量的转换, 极大地增加了运行时间和功耗, 延时性一般.

忆阻器不仅可以作为计算元件, 还可以作为 R-R 型、V-R 型忆阻逻辑电路中的存储元件, 它们都是非易失性逻辑, 为开辟非冯诺依曼架构开辟了一条新的路径. 基于内存存储的非易失性布尔逻辑门是构成内存计算体系结构的基本和关键块. 对于指定的逻辑操作, R-R 型忆阻逻辑电路通常比 V-V 型、V-R 型和 R-V 型 3 种忆阻逻辑电路需要更多的外接设备. 采用相同逻辑配置的 R-R 型忆阻逻辑电路所实现的操作通常是有限的, 并且施加在忆阻器上的电压需要特定的时间序列, 存在过于冗长的情况. 除此之外, 逻辑状态变量中含有阻值的忆阻逻辑电路在变量的写入或是读取过程中, 需要外围电路对变量进行阻值和电压的转换, 此过程在增加了电路面积的同时增大了电路的能量损耗.

可重构逻辑能够通过改变相同电路拓扑所应用的操作信号来执行各种逻辑功能, 提供了高灵活性和内在并行性, 这对于执行复杂的计算任务至关重要. R-R 型和 V-R 型忆阻逻辑电路具有较低的可重构性, 级联性一般, 通常需要额外的电路进行级联, 电路的复杂性会在一定程度上提高. 虽然 V-V 型忆阻逻辑电路的某些电路需要晶体管元器件, 电路面积较大的同时损耗也会有所提升. 但该类型的忆阻逻辑电路不需要

外设的电路进行逻辑状态的读取和写入工作,并且该电路的输出为电压,与现有成熟的 CMOS 技术兼容,级联性能较好,该类型的电路应用较广阔.

3 忆阻逻辑电路在神经形态系统中的应用

神经形态计算系统中的逻辑运算至关重要,不同的逻辑功能(包含“与”“或”“非”等基本逻辑门电路和累加器、比较器等复杂逻辑功能电路)可以用忆阻逻辑电路进行替换,进一步减少该计算系统的尺寸和能源消耗.基于文献[55],神经形态系统中传统二输入逻辑“与”门和“或”门的构建需要 6 个 CMOS 器件,如图 11b 和图 11d 所示.而基于忆阻器构建的逻辑电路,只需要两个忆阻器即能实现二输入逻辑“与”门和逻辑“或”门,如图 11a 和图 11c 所示.虽然构建一个逻辑门的传统元器件和忆阻器数量相差不大,但神经形态系统是一个复杂的脑启发并行计算系统,内部含有不计其数的计算单元.相比之下,基于忆阻器构建的逻辑电路使用的元器件的数量明显小于传统方式构建的逻辑电路中使用的器件数,在尺寸和能源消耗上具有很大的优势.

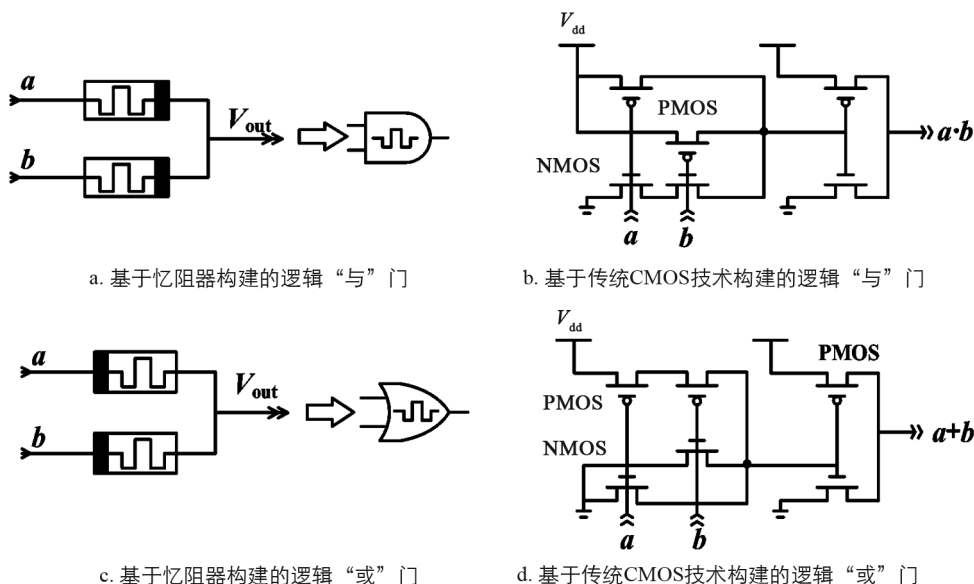


图 11 基于忆阻器和 CMOS 技术构建的逻辑“与”“或”门对比

基于忆阻器的逻辑电路具有小面积、低功耗、存算一体、运算速度快等特性,不仅能够实现基本的布尔逻辑、三值逻辑运算电路,还能够实现加法器、乘法器、编码器、译码器、幅度比较器、多路调制器、线性反馈移位寄存器、触发器等不同功能的电路^[23,43,56-66],在数字逻辑电路中得到了广泛的应用(图 12).

神经形态系统需要并行处理和分析不同计算单元中的数据,其中逻辑运算模块是一个基本且关键的部分,而忆阻逻辑电路为构建一个运算速度更快、效率更高、面积更小的神经形态系统提供了很大的可能性.下面介绍了忆阻逻辑电路在联想记忆、情感计算、模式识别 3 个方面的潜在应用.

联想记忆^[67]是神经形态认知系统的一个重要分支,也是人类大脑所特有的功能,通常通过一个感觉信号或两个及以上感觉信号与一个行为操作的关联来实现.巴甫洛夫条件反射^[68]是生物联想记忆中最具代表性的学习类型,设计并实现巴甫洛夫联想记忆成为了人工智能领域内的研究热点,对研究类脑神经网络具有重要的意义.

近年来,有很多工作致力于将忆阻逻辑电路应用于巴甫洛夫联想记忆电路中.文献[69]设计了一种带有时滞学习的巴甫洛夫联想记忆神经网络电路,实现了学习、遗忘、快速学习、慢遗忘、时滞学习等功能.文献[70]提出了一种基于二阶条件反射的巴甫洛夫联想记忆电路.该回路可以在初始学习后对条件刺激作出反应,并实现两种遗忘功能.此外,该回路可以通过条件刺激间接建立条件反射,而不是直接建立非条件刺激的条件反射.文献[71]提出了一种基于忆阻器的全功能巴甫洛夫联想记忆电路,如图 13a 所示.设计的巴甫洛夫联想记忆电路为三输入一输出电路,输入信号分别表示肉、正常铃声和低响度铃声,输出信号为狗是否分泌唾液,输入和输出的状态变量均为电压,其中电压信号的高电平和低电平分别对应逻辑“1”和“0”,实现了联想记忆中的两类学习过程和 3 类遗忘过程.

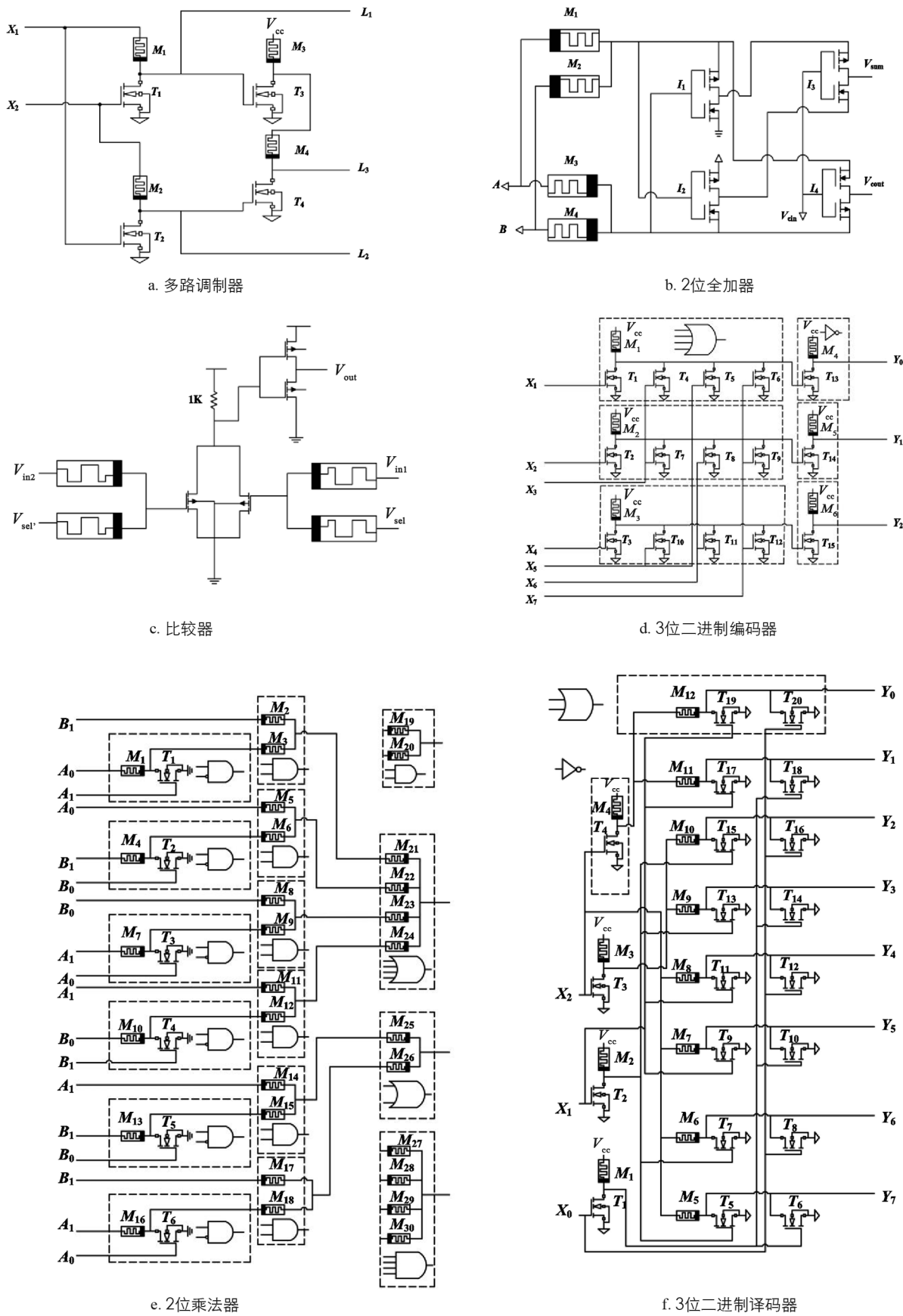
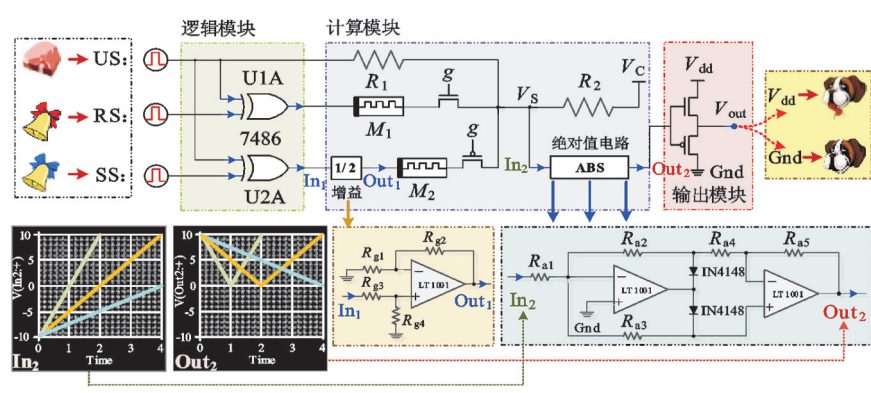
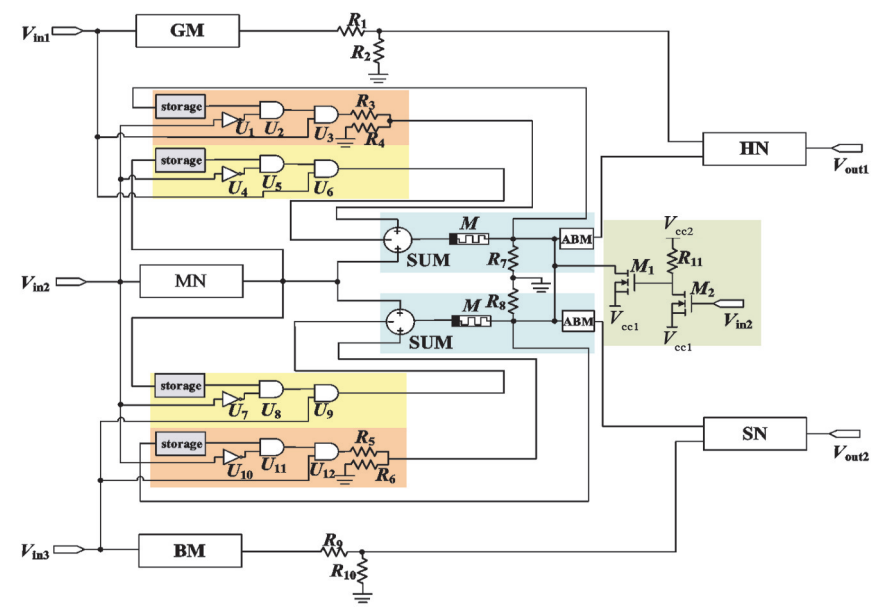


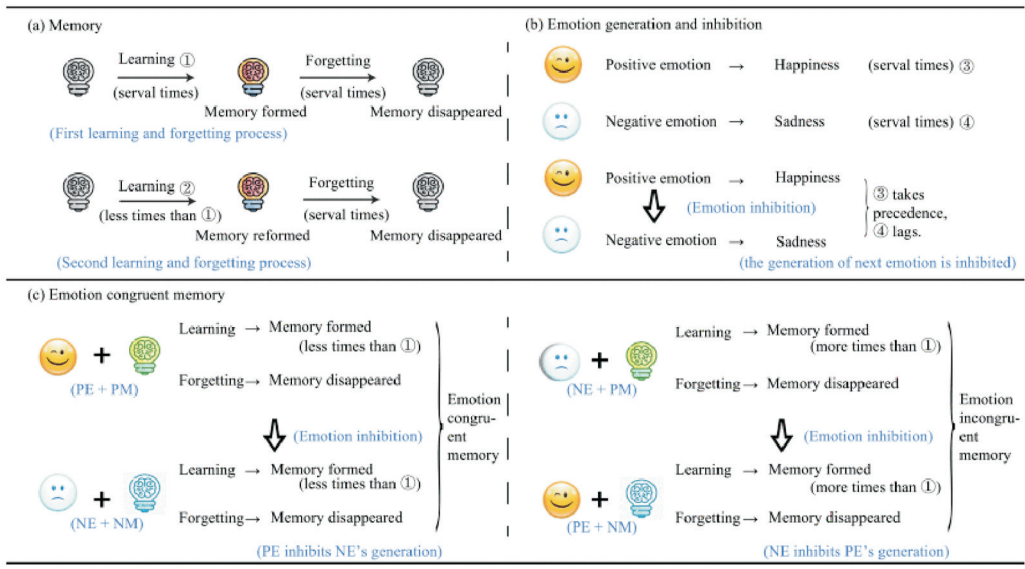
图 12 忆阻逻辑电路在数字逻辑领域中的不同应用



a. 基于忆阻器的全功能巴甫洛夫联想记忆电路



b. 基于忆阻器的情绪模块电路图



c. 情绪模块示意图

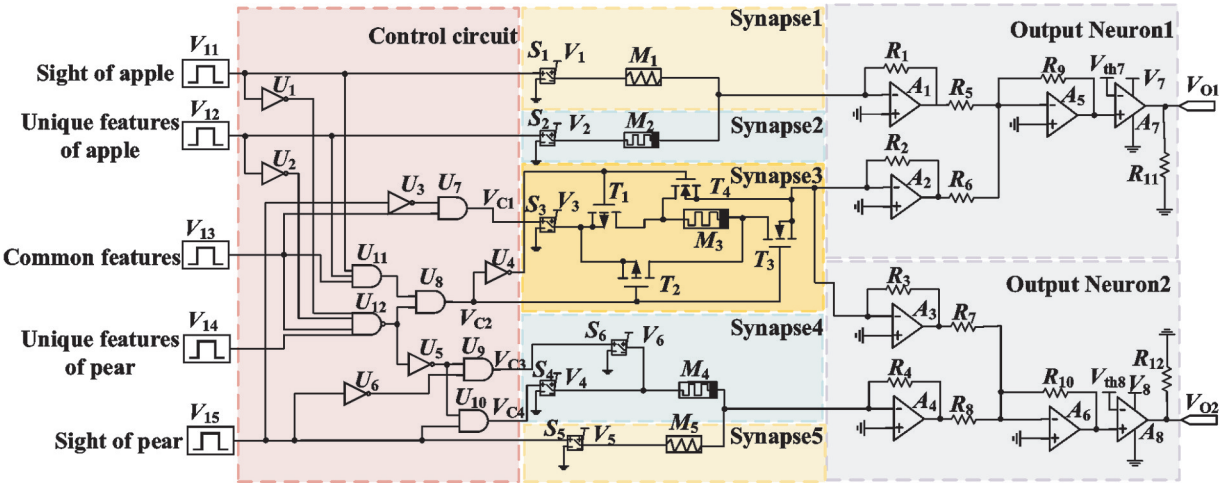
图 13 忆阻逻辑电路在联想记忆和情感计算中的应用

文献[72]提出情感计算的目的是通过赋予计算机识别、理解、表达和适应人的情感的能力来建立和谐人机环境,并使计算机具有更高的、全面的智能.情感计算与巴甫洛夫联想记忆有着相似的生理属性定义,

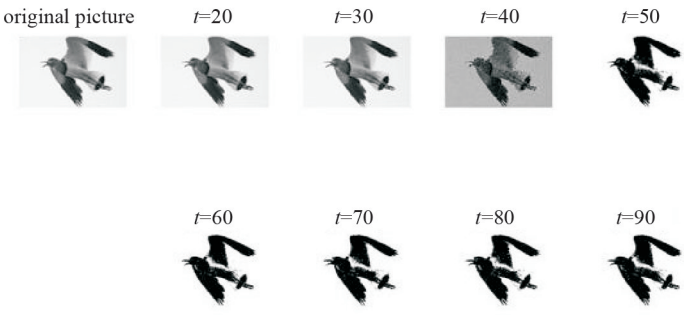
对构建神经形态系统具有重要的意义. 许多研究人员已经使用忆阻逻辑电路来实现情绪记忆的模型构建, 实现了对人类情感的简单模拟, 能够实现快乐和悲伤这两种情绪. 另外, 随着研究的发展, 根据信息输入的状态来判断情绪输出的状态, 实现了情感关联学习、情感形成和情感表达等功能.

文献[73]提出了一种新的基于忆阻器的神经网络情绪模型及其电路实现, 该模型中有 3 个输入和 2 个输出, 联想学习和 3 种遗忘过程共同构成了全功能情绪模型, 设计的情感记忆电路可以调节学习速率, 为实现人工智能机器人提供了一个新的思路. 文献[74]提出了一种学习速率可变的情绪模型, 如图 13b 所示, 该模型考虑了 3 种遗忘方式: 只应用无条件刺激, 只应用中性刺激, 无条件刺激和中性刺激都不用. 文献[75]基于忆阻器仿真实现了情绪与记忆一致性的神经网络电路. 不同于传统的记忆或情绪单一的神经网络, 该电路由记忆模块、情绪模块和联想神经元模块组成(图 13c), 具有学习、遗忘、快速学习、缓慢遗忘、精神疲劳、情绪抑制、情绪一致性记忆等功能.

忆阻逻辑电路在模式识别^[76]和模式分类^[77]领域也有应用, 文献[78]提出了一个由 4 个晶体管和 1 个忆阻器构成的阻值双向调节电路, 而后结合忆阻逻辑电路对其进行扩展, 构建了苹果的识别和特征召回电路. 文献[79]在传统联想记忆的基础上加入泛化和微分理论, 提出了基于微分和泛化的简单分类和识别电路, 如图 14a 所示. 该电路将对象的特征作为输入, 将电路的输出作为分类结果, 实现苹果和梨的分类和识别的功能. 文献[80]提出了一种双模忆阻器桥接突触电路, 并利用该电路构建多层神经网络, 结合细胞神经网络实现机场灰度鸟类图像的的边缘提取, 实验结果如图 14b 所示.



a. 基于微分和泛化的识别电路



b. 鸟类识别仿真实验

图 14 忆阻逻辑电路在模式识别和分类领域中的应用

4 展望

忆阻器因其良好的开关特性, 为探索新的逻辑运算范式开辟了一条新的道路, 并为传统的 CMOS 电路提供了一个很有前景的替代方案. 并且, 忆阻器具有非易失特性, 即使撤去两端的电压, 其阻值也不会发生

改变,实现了存算一体,为构建新的非冯诺依曼架构提供了极大的可能.然而,目前提出的忆阻逻辑电路在操作复杂性和物理实现方面都存在一些限制,亟需得到进一步的改进.

1) 如何保证忆阻逻辑电路中模型的一致性和稳定性.在基于忆阻器设计的逻辑电路中,对于纳米级元器件忆阻器的一致性要求极高,其参数的微小变化都可能造成较大的计算偏差.使用校验方法或者冗余设计的方式可以在一定程度上容忍离散性带来的误差,但会带来额外的能耗和延时,削弱基于忆阻器的存内计算的先天优势.其次,逻辑计算的精确度也与忆阻器件的稳定性有联系,若在调整电路中的忆阻器阻值后,其阻值发生偏移,对于三值逻辑电路,其输出结果可能不准确.由于应用于实际电路中的计算量很大,需要大规模高密度的忆阻逻辑电路,然而减少忆阻存储单元上的面积可能会导致一致性降低,这意味着减小面积不是最有效的方法.

2) 如何解决忆阻逻辑电路时间序列冗长问题.基于忆阻器的逻辑电路因其非易失性,在进行逻辑运算操作时,要求在逻辑运算之前不断地对忆阻器进行初始化操作,从而容易引起时间序列冗长的问题.若要将忆阻逻辑电路应用于神经形态系统,需要大数量的忆阻器,这意味着若每一步骤前都需要初始化,这将会是一个相当繁琐的过程.故如何减少或彻底消除初始化操作是改进忆阻逻辑电路的一个重要环节,也是未来需要研究的一个重要方向.引入自学习系统,使得忆阻器能够实时调整自己的状态,不再需要初始化操作,或许是未来的一个研究方向;同时,研究特定的忆阻值写入和读取机制,也能有效解决时间序列冗长的问题.

3) 如何解决多忆阻逻辑电路的级联问题.目前构建的忆阻逻辑电路大多存在着难以级联的问题.在一个复杂的系统中,存在着不计其数的计算单元,各个单元之间都有些许的联系,若不能解决级联问题,忆阻逻辑电路的发展将会受到很大的限制.特别地,对于输出逻辑状态为阻值的电路,若在一个电路的输出后级联多个电路,将会产生扇出问题,进而导致错误结果的输出.而对于 V-V 型逻辑电路,尽管忆阻器能与传统 CMOS 元器件兼容,两者之间的自然差异依然存在.在执行级联操作时,由于在负载容量方面的不足,在不加放大电路的情况下易产生信号退化问题.如何改进设计已有的逻辑电路,使得其能够更好地级联,进而广泛应用于神经形态系统,也是未来我们研究的一个有力着手点.

4) 如何解决交叉阵列结构的忆阻逻辑电路中漏电流问题.应用于神经形态系统的忆阻逻辑电路多与交叉阵列相结合,能够在一定程度上减少电路的面积.但交叉阵列存在一个很大的缺陷,即存在漏电流.目前存在增大忆阻器阻值、串串联忆阻器,将忆阻器与二极管、三极管、开关结合构成存储单元等减少漏电流的方法,但这些方法增加了交叉阵列的读写操作步骤,如何在减少漏电流的同时简化读写操作是未来工作一个很好的切入点.

5) 如何实现可重构、多值忆阻逻辑电路.一个计算系统中一般不仅仅是进行单一的逻辑操作,往往需要根据不同的需要,进行灵活的改变以实现逻辑功能.故基于忆阻器的可重构逻辑电路将会是未来计算系统的一个发展趋势,我们可以加大对该方面的研究,改进并设计出通用的拥有完整逻辑集的电路.目前,忆阻逻辑电路领域的大多数研究都以二值逻辑为实现目标,二值忆阻逻辑电路已经趋向于成熟.然而,基于忆阻器实现三值逻辑电路的研究相对较少,三值逻辑相对二值逻辑携带了更多的信息量,并且实现三值逻辑的电路运算速度更快、面积和体积更小且功耗更低.对三值逻辑的进一步研究,为未来探索多值逻辑和模糊逻辑提供了可能.

6) 如何建立忆阻逻辑电路与神经形态系统的融合机制.基于忆阻器构建的逻辑计算系统和脑启发并行神经形态计算系统都是很有前途的内存计算体系结构,目前将忆阻逻辑电路与神经形态系统相结合的研究相对较少,大多是用忆阻逻辑电路构建的逻辑门代替神经形态系统中的传统逻辑门或是在联想记忆方面的一些应用,在实现信息检索、图像识别、语音识别等方面的应用仍面临着挑战.因对计算速度和智能信息处理的进一步要求,迫切需要开发一种具有高效二进制逻辑和神经形态计算功能的集成计算体系结构.未来的主要工作可以是将忆阻逻辑电路应用于神经形态系统,设计一些模拟人类大脑的紧凑电路.

5 结论

忆阻器具有非易失性、纳米尺寸、低功耗、与传统 CMOS 技术兼容、阻值变换快等特性, 其在逻辑电路中的应用在尺寸和能源消耗方面具备一定的优势, 为探索新的计算范式和架构提供了全新的思路. 逻辑电路是神经形态计算硬件实现的基本计算单元, 故忆阻逻辑电路对于构建新型神经形态系统具有重要的意义.

本综述首先介绍了当前在忆阻逻辑电路中广泛应用的忆阻器模型. 紧接着, 介绍了近年来流行的忆阻逻辑电路, 并根据电路的输入输出逻辑状态变量的不同, 将忆阻逻辑电路分为 R-R 型、V-V 型、R-V/V-R 型忆阻逻辑电路 3 类. 从这 3 类电路的组成部分、计算方式、逻辑状态变量、写入/读取变量外围电路的复杂度、能量损耗、级联能力、延时性 7 个方面, 进一步讨论了各类忆阻逻辑电路的优缺点. 其中, 电路的组成部分和延时性是衡量逻辑电路质量的重要指标, 电路的延时性能取决于操作脉冲的数量, 而电路的组成部分中忆阻器的数量和晶体管的数量决定了电路的尺寸和能耗. 由于 V-V 型忆阻逻辑电路的输入输出状态变量都为电压, 在进行写入和读取变量操作时不需要再设计额外的电路. 该类型的电路对驱动电路的要求最低, 不需要设定冗长的时间序列, 并且其与已经成熟的 CMOS 技术兼容, 级联性相较于状态变量中有阻值的电路更好, 故目前该类型的电路的应用最广泛. 本文讨论了忆阻逻辑电路在联想记忆、情感计算、模式识别 3 个神经形态系统领域中的潜在应用. 忆阻逻辑电路可以替代神经形态系统中的传统逻辑电路, 能够在一定程度上减少电路的面积与功耗, 具有广阔的发展前景. 最后, 针对忆阻逻辑电路在操作复杂性和物理实现方面的缺陷, 本文总结并展望了忆阻逻辑电路及其应用于神经形态系统的发展方向.

参考文献:

- [1] VON NEUMANN J. First Draft of a Report on the EDVAC [J]. IEEE Annals of the History of Computing, 1993, 15(4): 27-75.
- [2] GOLDSTINE H H. The Computer from Pascal to Von Neumann [M]. Princeton: Princeton University Press, 1993.
- [3] VON NEUMANN J, KURZWEIL R. The Computer and the Brain [M]. Connecticut: Yale University Press, 2012.
- [4] ASPRAY W. John Von Neumann and the Origins of Modern Computing [M]. Cambridge: Mit Press, 1990.
- [5] SMITH L S, HAMILTON A. Neuromorphic Systems: Engineering Silicon from Neurobiology [M]. Singapore: World Scientific, 1998.
- [6] WINSTON P H. Artificial Intelligence [M]. New Jersey: Addison-Wesley Longman, 1984.
- [7] MISRA J. Artificial Neural Networks in Hardware: a Survey of Two Decades of Progress [J]. Neurocomputing, 2010, 74(1-3): 239-255.
- [8] SHASTRI B J, TAIT A N, FERREIRA DE LIMA T, et al. Photonics for Artificial Intelligence and Neuromorphic Computing [J]. Nature Photonics, 2021, 15(2): 102-114.
- [9] 苏盈盈, 李太福, 康东帅, 等. 多层线性神经网络与单层线性神经网络的等效性研究 [J]. 西南师范大学学报(自然科学版), 2017, 42(12): 105-112.
- [10] VOURKAS I, SIRAKOULIS G C. Emerging Memristor-Based Logic Circuit Design Approaches: a Review [J]. IEEE Circuits and Systems Magazine, 2016, 16(3): 15-30.
- [11] KONG L G, CHEN Y, LIU Y. Recent Progresses of NMOS and CMOS Logic Functions Based on Two-Dimensional Semiconductors [J]. Nano Research, 2021, 14(6): 1768-1783.
- [12] YING Z F, FENG C H, ZHAO Z, et al. Electronic-Photonic Arithmetic Logic Unit for High-Speed Computing [J]. Nature Communications, 2020, 11: 2154.
- [13] WANG X Y, DONG C T, WU Z R, et al. A Review on the Design of Ternary Logic Circuits [J]. Chinese Physics B, 2021, 30(12): 128402.
- [14] BAKER R J. CMOS: Circuit Design, Layout, and Simulation [M]. New Jersey: John Wiley & Sons, 2019.
- [15] KARIMI A, et al. A Novel Design for Ultra-Low Power Pulse-Triggered D-Flip-Flop with Optimized Leakage Power [J].

Integration, 2018, 60: 160-166.

- [16] 王廷江. 基于荷控忆阻器的蔡氏对偶混沌电路分析 [J]. 西南大学学报(自然科学版), 2016, 38(4): 144-149.
- [17] SASIKUMAR R, LENIN K. Assessing the Influence of Hand-Arm Posture on Mechanical Responses of the Human Hand during Drilling Operation [J]. The International Journal of Advanced Manufacturing Technology, 2017, 93(1-4): 375-384.
- [18] CHUA L. Memristor-the Missing Circuit Element [J]. IEEE Transactions on Circuit Theory, 1971, 18(5): 507-519.
- [19] STRUKOV D B, SNIDER G S, STEWART D R, et al. The Missing Memristor Found [J]. Nature, 2008, 453(7191): 80-83.
- [20] YANG L. A Memristor-Based Neural Network Circuit with Synchronous Weight Adjustment [J]. Neurocomputing, 2019, 363: 114-124.
- [21] KIM Y S, AN J, JEON J B, et al. Ternary Logic with Stateful Neural Networks Using a Bilayered TaOX₂-Based Memristor Exhibiting Ternary States [J]. Advanced Science (Weinheim, Baden-Wurttemberg, Germany), 2022, 9(5): e2104107.
- [22] 吴洁宁, 闫登卫, 王丽丹, 等. 基于忆阻器的细胞神经网络及在图像处理中的应用 [J]. 西南师范大学学报(自然科学版), 2022, 47(3): 1-8.
- [23] HOFFER B, RANA V, MENZEL S, et al. Experimental Demonstration of Memristor-Aided Logic (MAGIC) Using Valence Change Memory (VCM) [J]. IEEE Transactions on Electron Devices, 2020, 67(8): 3115-3122.
- [24] XU N, PARK T G, KIM H J, et al. A Stateful Logic Family Based on a New Logic Primitive Circuit Composed of Two Antiparallel Bipolar Memristors [J]. Advanced Intelligent Systems, 2020, 2(1): 1900082.
- [25] LIU B, ZHAO Y D, VERMA D, et al. Bi₂O₃-Se-Based Memristor-Aided Logic [J]. ACS Applied Materials & Interfaces, 2021, 13(13): 15391-15398.
- [26] WU Z X, ZHANG Y J, DU S M, et al. A Three-Valued Adder Circuit Implemented in ZnO Memristor with Multi-Resistance States [C]//2021 IEEE 14th International Conference on ASIC. New York: IEEE Press, 2021: 1-3.
- [27] KIM K M, WILLIAMS R S. A Family of Stateful Memristor Gates for Complete Cascading Logic [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(11): 4348-4355.
- [28] YUAN R, MA M Y, XU L Y, et al. Efficient 16 Boolean Logic and Arithmetic Based on Bipolar Oxide Memristors [J]. Science China Information Sciences, 2020, 63(10): 1-8.
- [29] HU S Y, LI Y, CHENG L, et al. Reconfigurable Boolean Logic in Memristive Crossbar: The Principle and Implementation [J]. IEEE Electron Device Letters, 2019, 40(2): 200-203.
- [30] KIM W, MENZEL S, WOUTERS D J, et al. Impact of Oxygen Exchange Reaction at the Ohmic Interface in Ta₂O₅-Based ReRAM Devices [J]. Nanoscale, 2016, 8(41): 17774-17781.
- [31] VOURKAS I, SIRAKOULIS G C. A Novel Design and Modeling Paradigm for Memristor-Based Crossbar Circuits [J]. IEEE Transactions on Nanotechnology, 2012, 11(6): 1151-1159.
- [32] KVATINSKY S, FRIEDMAN E G, KOLODNY A, et al. TEAM: ThrEshold Adaptive Memristor Model [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(1): 211-221.
- [33] KVATINSKY S, RAMADAN M, FRIEDMAN E G, et al. VTEAM: a General Model for Voltage-Controlled Memristors [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2015, 62(8): 786-790.
- [34] PERSHIN Y V. A Demonstration of Implication Logic Based on Volatile (Diffusive) Memristors [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(6): 1033-1037.
- [35] AMRANI E, DRORI A, KVATINSKY S. Logic Design with Unipolar Memristors [C]//2016 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC). New York: IEEE Press, 2016: 26-28.
- [36] AN W, RUSSELL B. Principia Mathematica [M]. Cambridge: Cambridge Press, 1910.
- [37] 徐建华, 张军. 自然语言中“真”“假”的逻辑意义 [J]. 渤海大学学报(哲学社会科学版), 1997, 19(2): 52-55.
- [38] BORGHETTI J, SNIDER G S, KUEKES P J, et al. ‘Memristive’ Switches Enable ‘Stateful’ Logic Operations via Material Implication [J]. Nature, 2010, 464(7290): 873-876.
- [39] LEHTONEN E, POIKONEN J, LAIHO M. Implication Logic Synthesis Methods for Memristors [C]//2012 IEEE In-

- ternational Symposium on Circuits and Systems. New York: IEEE Press, 2012: 2441-2444.
- [40] WANG H P, LIN C C, WU C C, et al. On Synthesizing Memristor-Based Logic Circuits with Minimal Operational Pulses [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2018, 26(12): 2842-2852.
- [41] 高德志, 容源, 江先阳. 忆阻-CMOS 混合模逆电路设计 [J]. 信息技术, 2020, 44(4): 10-16, 22.
- [42] KVATINSKY S, BELOUSOV D, LIMAN S, et al. MAGIC—Memristor-Aided Logic [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(11): 895-899.
- [43] 钟悦航, 武继刚, 刘鹏, 等. 忆阻器的三值逻辑门和加法器设计 [J]. 微电子学与计算机, 2021, 38(7): 60-66.
- [44] GUCKERT L, SWARTZLANDER E E. MAD Gates—Memristor Logic Design Using Driver Circuitry [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2017, 64(2): 171-175.
- [45] LUO L, DONG Z K, HU X F, et al. MTL: Memristor Ternary Logic Design [J]. International Journal of Bifurcation and Chaos, 2020, 30(15): 2050222.
- [46] KVATINSKY S, WALD N, SATAT G, et al. MRL—Memristor Ratioed Logic [C]//2012 13th International Workshop on Cellular Nanoscale Networks and their Applications. New York: IEEE Press, 2012: 1-6.
- [47] SINGH A. Memristor Based XNOR for High Speed Area Efficient 1-Bit Full Adder [C]//2017 International Conference on Computing, Communication and Automation (ICCCA). New York: IEEE Press, 2017: 1549-1553.
- [48] WANG X Y, ZHOU P F, ESHRAGHIAN J K, et al. High-Density Memristor-CMOS Ternary Logic Family [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(1): 264-274.
- [49] SOLIMAN N S, et al. Memristor-CNTFET Based Ternary Logic Gates [J]. Microelectronics Journal, 2018, 72: 74-85.
- [50] KHALID M, SINGH J. Memristor Based Unbalanced Ternary Logic Gates [J]. Analog Integrated Circuits and Signal Processing, 2016, 87(3): 399-406.
- [51] 杨辉, 段书凯, 董哲康, 等. 基于忆阻器-CMOS 的通用逻辑电路及其应用 [J]. 中国科学: 信息科学, 2020, 50(2): 289-302.
- [52] AKERS S B. A Rectangular Logic Array [C]//12th Annual Symposium on Switching and Automata Theory. New York: IEEE Press, 1971: 79-90.
- [53] LEVY Y. Logic Operations in Memory Using a Memristive Akers Array [J]. Microelectronics Journal, 2014, 45(11): 1429-1437.
- [54] DONG Z K, HE Y F, HU X F, et al. Flexible Memristor-Based LUC and Its Network Integration for Boolean Logic Implementation [J]. IET Nanodielectrics, 2019, 2(2): 61-69.
- [55] SUN J W. Design and Implementation of Four-Color Conjecture Circuit Based on Memristor Neural Network [J]. AEU - International Journal of Electronics and Communications, 2022, 144: 154041.
- [56] YANG X H, ADEYEMO A, BALA A N, et al. Novel Memristive Logic Architectures [C]//2016 26th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS). New York: IEEE Press, 2016: 196-199.
- [57] ZHOU Y X, LI Y, XU L, et al. A Hybrid Memristor-CMOS XOR Gate for Nonvolatile Logic Computation [J]. Physica Status Solidi (a), 2016, 213(4): 1050-1054.
- [58] LIU G Z, ZHENG L J, WANG G Y, et al. A Carry Lookahead Adder Based on Hybrid CMOS-Memristor Logic Circuit [J]. IEEE Access, 2019, 7: 43691-43696.
- [59] SINGH T. Hybrid Memristor-CMOS (Memos) Based Logic Gates and Adder Circuits [EB/OL]. (2015-6-19)[2022-1-12]. <https://arxiv.org/abs/1506.06735>.
- [60] TEIMOORY M, AMIRSOLEIMANI A, AHMADI A, et al. A Hybrid Memristor-CMOS Multiplier Design Based on Memristive Universal Logic Gates [C]//2017 IEEE 60th International Midwest Symposium on Circuits and Systems. New York: IEEE Press, 2017: 1422-1425.
- [61] SINGH A. Design and Analysis of Memristor-Based Combinational Circuits [J]. IETE Journal of Research, 2020, 66(2): 182-191.
- [62] CHAKRABORTY A, DHARA A, RAHAMAN H. Design of Memristor-Based Up-down Counter Using Material Implication Logic [C]//2016 International Conference on Advances in Computing, Communications and Informatics (ICAC-

- CD). New York: IEEE Press, 2016: 269-274.
- [63] TEIMOORY M, AMIRSOLEIMANI A, AHMADI A, et al. Memristor-Based Linear Feedback Shift Register Based on Material Implication Logic [C]//2015 European Conference on Circuit Theory and Design (ECCTD). New York: IEEE Press, 2015: 1-4.
- [64] CHEN Q, WANG X P, WAN H B, et al. A Logic Circuit Design for Perfecting Memristor-Based Material Implication [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2017, 36(2): 279-284.
- [65] 董哲康, 杜晨杰, 林辉品, 等. 基于多通道忆阻脉冲耦合神经网络的多帧图像超分辨率重建算法 [J]. 电子与信息学报, 2020, 42(4): 835-843.
- [66] 董哲康. 基于忆阻器的电路分析及其在神经形态系统中的应用 [D]. 杭州: 浙江大学, 2019.
- [67] RAAIJMAKERS J G, SHIFFRIN R M. Search of Associative Memory [J]. Psychological Review, 1981, 88(2): 93-134.
- [68] SIEGEL S. Classical Conditioning, Drug Tolerance, and Drug Dependence [M]//Research Advances in Alcohol and Drug Problems. Berlin: Springer, 1983: 207-246.
- [69] SUN J W. Memristor-Based Neural Network Circuit of Pavlov Associative Memory with Dual Mode Switching [J]. AEU-International Journal of Electronics and Communications, 2021, 129: 153552.
- [70] DU S C. A Memristor-Based Circuit Design of Pavlov Associative Memory with Secondary Conditional Reflex and Its Application [J]. Neurocomputing, 2021, 463: 341-354.
- [71] 董哲康, 钱智凯, 周广东, 等. 基于忆阻的全功能巴甫洛夫联想记忆电路的设计、实现与分析 [J]. 电子与信息学报, 2022, 44(6): 2080-2092.
- [72] FENG Z. Hot News Mining and Public Opinion Guidance Analysis Based on Sentiment Computing in Network Social Media [J]. Personal and Ubiquitous Computing, 2019, 23(3): 373-381.
- [73] WANG L M. A New Emotion Model of Associative Memory Neural Network Based on Memristor [J]. Neurocomputing, 2020, 410: 83-92.
- [74] YANG L M. Emotion Model of Associative Memory Possessing Variable Learning Rates with Time Delay [J]. Neurocomputing, 2021, 460: 117-125.
- [75] SUN J W, HAN J T, WANG Y F, et al. Memristor-Based Neural Network Circuit of Emotion Congruent Memory with Mental Fatigue and Emotion Inhibition [J]. IEEE Transactions on Biomedical Circuits and Systems, 2021, 15(3): 606-616.
- [76] THEODORIDIS S, KOUTROUMBAS K. Introduction [M]//Pattern Recognition. Amsterdam: Elsevier, 2006: 1-11.
- [77] BOCKLISCH S F, BITTERLICH N. Fuzzy Pattern Classification—Methodology and Application—Fuzzy-Systems in Computer Science, 1994: 295-301.
- [78] 杨乐. 面向联想记忆和模式识别的忆阻神经网络电路设计 [D]. 武汉: 华中科技大学, 2019.
- [79] SHANG M J, WANG X P, LI M. A Memristor-Based Generalization and Differentiation Circuit Design and the Application in Recognition [C]//2020 39th Chinese Control Conference (CCC). New York: IEEE Press, 2020: 7206-7211.
- [80] WANG R, MU Z C, SUN H, et al. Dual-Mode Memristor Synaptic Circuit Design and Application in Image Processing [J]. Frontiers in Physics, 2021, 9: 690944.

责任编辑 张杓